

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-081080

(43)Date of publication of application : 28.03.1997

(51)Int.Cl. G09G 3/36
G02F 1/133
G02F 1/133
H04N 5/66

(21)Application number : 07-230408

(71)Applicant : SONY CORP

(22)Date of filing : 07.09.1995

(72)Inventor : NAKAJIMA YOSHIHARU

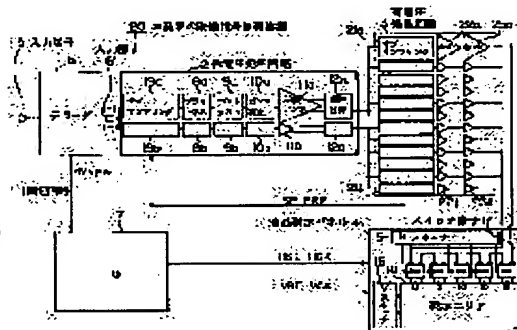
(54) VIDEO SIGNAL PROCESSING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a video signal processing device in which the improving of a display quality and the reducing of processing circuits in scale are attained by properly dividing processing circuits of a video signal in a video signal processing device to be driven by a plural dot simultaneous sampling system.

SOLUTION: This video signal processing device 20 is roughly constituted of a peripheral circuit 1, a low voltage processing circuit 2 of a picture quality adjustment, etc., a high voltage processing circuit 3 performing signal conversions to a liquid crystal display panel and the liquid crystal display panel 4.

Then, the device is constituted so that the signal dividings in the low voltage processing circuit 2 and the high voltage processing circuit 3 are divided into two stages. That is, the device is made such a constitution that the low voltage processing circuit 2 is divided into two divisions so as to enhance a frequency characteristic by making the number of divides small and the high voltage circuit 3 is divided into 12 divisions to lower the frequency characteristic by making the number of divides large and sufficiently high voltages are secured.



LEGAL STATUS

[Date of request for examination]

13.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3518086

[Date of registration] 06.02.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

“

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In case a video signal is written in a liquid crystal display panel, it is the video-signal processor which samples two or more channels simultaneously and drives them. While dividing said video-signal processor into the low-battery processing circuit which performs image quality adjustment etc., and the high-tension processing circuit changed into the write-in signal to said liquid crystal display panel The video-signal processor characterized by dividing still more minutely, carrying out a small number of division, carrying out sampling processing of said video signal by this low-battery processing circuit, and carrying out sampling processing of said video signal by this high-tension processing circuit, and attaining the increase in efficiency of a processing circuit.

[Claim 2] The sample hold circuit which samples said video signal which consists of two channels, respectively while 2 ****s of these low-battery processing circuits are carried out, The brightness equalization circuit which performs a brilliance control, and the contrast equalization circuit which performs contrast adjustment, While having the gamma correction circuit which adjusts a gamma correction, and the switching circuit which performs selection of said video signal and carrying out 12 ****s of these high-tension processing circuits The sample hold circuit which re-samples said video signal which consists of 12 channels, respectively, The video-signal processor according to claim 1 which is equipped with an amplifying circuit and a buffer circuit, lessens the number of partitions in this low-battery processing circuit, reduces circuit magnitude, makes [many] the number of partitions in this high-tension processing circuit, and is characterized by enabling it to obtain sufficient driver voltage.

[Claim 3] In case a video signal is written in a liquid crystal display panel, it is the video-signal processor which samples two or more channels simultaneously and drives them. While dividing into the low-battery processing circuit which performs said video-signal processor for image quality adjustment etc., the high-tension processing circuit which performs high-tension processing, and the high-tension sample hold circuit changed into the write-in signal to said liquid crystal display panel A small number of division is carried out, carrying out sampling processing of said video signal by this low-battery processing circuit. This high-tension processing circuit divides said video signal into a predetermined number, without performing sampling processing or sampling processing. The video-signal processor characterized by dividing still more minutely, carrying out sampling processing of said video signal by this high-tension sample hold circuit, and attaining the increase in efficiency of a processing circuit.

[Claim 4] The sample hold circuit which samples said video signal which consists of two channels, respectively while 2 ****s of these low-battery processing circuits are carried out, The brightness equalization circuit which performs a brilliance control, and the contrast equalization circuit which performs contrast adjustment, While having the gamma correction circuit which adjusts a gamma correction, and the switching circuit which performs selection of said video signal and carrying out 6 ****s of these high-tension processing circuits While having the sample hold circuit which re-samples said video signal which consists of six channels, respectively, an amplifying circuit, and a buffer circuit and carrying out 12 ****s of these high-tension sample hold circuits It has the sample hold circuit which samples thrice said video signal which consists of 12 channels. The number of partitions is lessened in this low-battery processing circuit, circuit magnitude is reduced and the number of partitions is made whenever [middle] in this high-tension processing circuit. Drive

frequency Raising, The video-signal processor according to claim 3 which makes [many] the number of partitions in this high-tension sample hold circuit, and is characterized by enabling it to obtain sufficient driver voltage.

[Claim 5] The sample hold circuit which samples said video signal which consists of two channels, respectively while 2 ****s of these low-battery processing circuits are carried out, The brightness equalization circuit which performs a brilliance control, and the contrast equalization circuit which performs contrast adjustment, While having the gamma correction circuit which adjusts a gamma correction, and the switching circuit which performs selection of said video signal and carrying out 2 ****s of these high-tension processing circuits While having the amplifying circuit which consists of two channels, respectively, and a buffer circuit and carrying out 12 ****s of these high-tension sample hold circuits It has the sample hold circuit which re-samples said video signal which consists of 12 channels. The video-signal processor according to claim 3 which lessens the number of partitions in this low-battery processing circuit and this high-tension processing circuit, reduces circuit magnitude, makes [many] the number of partitions in this high-tension sample hold circuit, and is characterized by enabling it to obtain sufficient driver voltage.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the video-signal processor which divided the processing circuit of a video signal and attained a cutback and low-power-izing of circuit magnitude in more detail on the occasion of the writing of the video signal to a liquid crystal display panel about the video-signal processor which drives the liquid crystal display panel used for a camcorder/movie or a liquid crystal projector.

[0002]

[Description of the Prior Art] In recent years, with the spread of the devices with a liquid crystal display panel represented by a camcorder/movie and the liquid crystal projector, the demand of high-performance-izing to a liquid crystal display panel increases, and high-resolution-izing and high-definition-izing of a liquid crystal display panel are progressing. Generally as a method which drives a liquid crystal display panel, the following two methods are taken. as the 1 -- especially -- polycrystalline silicon (Poly-Si) the dot order which writes in the video signal in every pixel for a short time from the high level of the high-speed engine performance in the thin film transistor made into a barrier layer using one signal line -- the sampling [degree] method is taken. As the 2, so-called two or more dot simultaneous sampling method and the so-called line sequential color TV system which divide the signal into several beforehand before actuation processing, bundle them up, and are simultaneously written in in the liquid crystal display panel by which high resolution-ization progressed further are adopted.

[0003] When it thinks from a viewpoint of the simplification of a circuit among these actuation methods, the point sequential sampling method of 1 is desirable. However, when the number of pixels of a liquid crystal display panel increases and high resolution-ization progresses, broadband-ization of a video-signal processor is needed and adoption of a point sequential sampling method becomes difficult. Hi-Vision television ****-ized as an example (High Definition Television) If it is going to deal with a signal, the XGA signal for computers, etc., a frequency band 40MHz or more is needed with a luminance signal. Construction of the video-signal processor of such a frequency band is difficult for a current emergency. That is, although implementation of about [system clock 80MHz] DSP (Digital Signal Processor) which covers this frequency band is possible, it is because great power consumption is needed for this.

[0004] Since there is no large-scale-integrated-circuit (Large Scale Integrated Circuit) component which realizes this about the high-tension processing circuit for aiming at an interface with a liquid crystal display panel, implementation is very difficult. Furthermore, at present, it is impossible to form the processing circuit which has this frequency band on the liquid crystal display panel using polycrystalline silicon. Therefore, neither actual condition two or more dot simultaneous sampling method nor a line sequential color TV system can be adopted as the video-signal processor of a high resolution liquid crystal display panel. With respect to the video-signal processor of this high resolution liquid crystal display panel, below, this invention gives that example and is explained.

[0005] The video-signal processor of the conventional technique is explained with reference to drawing 7 thru/or drawing 9 . First, with reference to drawing 7 , the 1st-example configuration of the video-signal processor of the conventional technique is explained. Drawing 7 is the block diagram showing the video-signal processor of a point sequential sampling method. In addition, a

part "TG", "AMP", "BUFF.", "SW", etc. outlined and showed the component in drawing.

[0006] The profile configuration of the video-signal processor of a point sequential sampling method is carried out from the low-battery processing circuit 2 which processes the low-battery circuit sections which process the inputted video signal, such as the circumference circuit 1 and image quality adjustment, the high-tension processing circuit 3 which performs signal transformation to a liquid crystal display panel, and the liquid crystal display panel 4. The circumference circuit 1 consists of timing generator 7 grades which generate the input terminal 5 into which video signals, such as a composite video signal, are inputted, the decoder 6 which changes an input video signal into the separate signal (in the case of an electrochromatic display panel) of R, G, and B, and various control signals. The low-battery processing circuit 2 consists of the brightness 8 equipped with an adjustment means to perform the brilliance control which omitted the graphic display, contrast 9, a gamma correction 10, reversal amplifier 11, and a polar switch 12.

[0007] The configuration of the high-tension processing circuit 4 consists of AC amplifier 13 and buffer circuit 14 grade. Interpolation of the V scanner 16 which consists of the H scanner 15, the enabling gate, and the buffer which consist of a gate circuit and a sample holder is carried out, and the liquid crystal display panel 4 is constituted. The signal line later mentioned through a switching device 17 is connected to the H scanner 15, the scanning line (graphic display abbreviation) is connected to the V scanner 16, a thin film transistor (Thin Film Transistor it is only hereafter described as "TFT") is formed in the intersection, and the display area 18 is constituted.

[0008] The 1st-example actuation of the video-signal processor of the conventional technique of this configuration is explained. The video signal of the composite video inputted into the input terminal 5 of the circumference circuit 1 in drawing 7 is inputted into a decoder 6. In a decoder 6, while changing a video signal into separate signals, such as R, G, B, etc. which suited actuation of a liquid crystal display panel, synchronizing signals H and VSync are outputted to a timing generator 7. It is VCO (Voltage Controlled Oscillator) about the various control signals with which the application of control of a liquid crystal display panel is presented in a timing generator 7. It generates from synchronizing signals H and VSync, and outputs to the low-battery processing circuit 2 or the liquid crystal display panel 4. If the example of these control signals is explained, they will be the reversal pulse FRP for alternating-current-izing the sampling pulse SP required for sampling processing of a video signal, and a video signal, the start pulses HST and VST of the H scanner 15 or the V scanner 16, clock pulses VCK and HCK, etc.

[0009] In the brightness 8 in the low-battery processing circuit 2, contrast 9, and a gamma correction 10, adjustment of brightness, a contrast ratio, and a gamma correction curve is performed by adjusting an adjustment means by which it does not illustrate, respectively. With the reversal amplifier 11 and the polar switch 12, a video signal is alternating-current-ized, taking the reversal pulse FRP and synchronization which a timing generator 7 generates, and a desired polar video signal is outputted by the polar switch 12. With the AC amplifier 13 of the high-tension processing circuit 3, the alternating-current-ized video signal is amplified to predetermined image level. In a buffer circuit 14, processing of the current amplification for driving the load of the liquid crystal display panel 4 etc. is made.

[0010] The liquid crystal display panel 4 is supplied to the H scanner 15 or the V scanner 16 while it carries out the receipt of the control signals inputted from the above-mentioned video-signal processor, such as a video signal, and HST, HCK, VST, VCK. With the V scanner 16, sequential selection of the scanning line is made for every 1 level period, with the H scanner 15, a switching device 17 is chosen as 1 level period one by one, and a video signal is incorporated to a signal line through a switching device 17. The incorporated video signal projects an image etc. in the display area 18 by controlling a liquid crystal molecule (graphic display abbreviation) by TFT mentioned later, and making a liquid crystal molecule twist and do a handstand in the applied-voltage direction. Thus, in the actuation circuit of a point sequential sampling method, since one signal line should just exist even in front of the last analog switch per video signal, circuit magnitude will be dramatically small-scale and will end.

[0011] Next, with reference to drawing 8, the 2nd example of the video-signal processor of the conventional technique is explained. Drawing 8 is the block diagram showing the video-signal processor of a 3-dot simultaneous sampling method. In addition, while giving the same reference

agreement to the part which is common on the matter indicated by the 1st example of the conventional technique below, explanation of a circumference circuit is omitted.

[0012] The video-signal processor of a 3-dot simultaneous sampling method is a method adopted when the frequency band which the number of pixels of a liquid crystal display panel increases, and is required of a video-signal processor becomes large, and is the method of carrying out subsampling processing beforehand, dividing the video signal before actuation processing, and performing signal processing of a low frequency signal in parallel. It is mostly adopted by the liquid crystal display panel using the polycrystalline silicon of current and a 100,000-500,000-pixel class.

[0013] With reference to drawing 8, the 2nd-example configuration of the video-signal processor of the conventional technique is explained. The profile configuration of the 2nd example of the video-signal processor of the conventional technique is carried out from the low-battery processing circuit 2 for three channels which process the low-battery sections, such as input section 5' into which separate signals, such as R, G, and B, are inputted, and image quality adjustment, the high-tension processing circuit 3 for three channels which perform signal transformation for liquid crystal display panels, and the liquid crystal display panel 4.

[0014] The low-battery processing circuit 2 is newly equipped with the subsampling 19a, 19b, and 19c for three channels, and consists of the brightness 8a, 8b, and 9c which performs a brilliance control, Contrast 9a, 9b, and 9c, gamma corrections 10a, 10b, and 10c, reversal amplifier 11a, 11b, and 11c, and polar switches 12a, 12b, and 12c. The high-tension processing circuit 3 is AC amplifier 13a for three channels, respectively. It consists of 13b, 13c, buffer circuits 14a, 14b, and 14c, etc. The liquid crystal display panel 4 consists of an H scanner 15 to which the switching device 17 was connected like the 1st example and abbreviation for the conventional technique, a V scanner 16, and display area 18.

[0015] Actuation of the description part of the 2nd example of the video-signal processor of the conventional technique of such a configuration is explained. Separate signals, such as R, G, B, etc. which were inputted into input section 5' in drawing 8, are inputted into the low-battery processing circuit 2 of a three-channel configuration. In the subsampling 19a, 19b, and 19c of the low-battery processing circuit 2, it divides into video signals, such as R, G, and B, carrying out sampling processing based on the sampling pulse SP (graphic display abbreviation) which a timing generator emits, and outputs to the brightness 8a, 8b, and 8c of the next step. Since it is the same as that of the 1st example of the conventional technique, the following actuation is omitted.

[0016] Then, with reference to drawing 9, the 3rd example of the video-signal processor of the conventional technique is explained. Drawing 9 is the block diagram showing the video-signal processor of a 12-dot simultaneous sampling method.

[0017] When the number of pixels increases further the video-signal processor of a 12-dot simultaneous sampling method as compared with the 2nd example of the video-signal processor of the conventional technique, the frequency band required of a video-signal processor becomes still larger, and cannot form the video-signal processor which is satisfied with signal division of 3-dot simultaneous sampling method extent of desired frequency characteristics. Therefore, the 12-dot simultaneous sampling method which lowers a actual demand frequency band is taken by raising the number of partitions of a signal further.

[0018] If the configuration of a 12-dot simultaneous sampling method is explained, a profile configuration will be carried out from the low-battery processing circuit 2 for 12 channels which process the low-battery sections, such as input section 5' into which separate signals, such as R, G, and B, are inputted, and image quality adjustment, the high-tension processing circuit 3 for 12 channels which perform signal transformation, and the liquid crystal display panel 4. The details configuration of the low-battery processing circuit 2 consists of Subsampling 19a-19l., Brightness 8a-8l., Contrast 9a-9l., gamma corrections 10a-10l., the reversal amplifier 11a-11l., the polar switches 12a-12l., etc. for 12 channels, respectively. The details configuration of the high-tension processing circuit 3 consists of AC amplifier 13a-13l. for 12 channels, buffer circuits 14a-14l., etc., respectively. The configuration of the liquid crystal display panel 4 is the same as that of the above-mentioned conventional example.

[0019] Actuation of the description part of the 3rd example of the video-signal processor of the conventional technique of such a configuration is explained. Separate signals, such as R, G, B, etc.

which were inputted into input section 5' in drawing 9 , are inputted into the low-battery processing circuit 2 of a 12-channel configuration. In the subsampling 19a-19l. of the low-battery processing circuit 2, carrying out sampling processing based on the sampling pulse SP (graphic display abbreviation) which a timing generator emits, video signals, such as R, G, and B, are divided into 12, and it outputs to the brightness 8a-8l. of the next step. Since it is the same as that of the 2nd example of the conventional technique, the following actuation is omitted.

[0020] When the number of partitions of a signal increases as mentioned above, the circuit magnitude and the number of wiring of a video-signal processor will increase so that naturally. For example, when the number of partitions increases 4 times from three channels to 12 channels, circuit magnitude and the number of wiring will also increase by 4 times. Moreover, there is a trouble of being easy to generate display nonuniformity, such as a vertical stripe by dispersion (gain, gamma correction value, etc.) of the property of each channel, with the increment in the number of channels. This was put in another way as the problem that the adjustment part for controlling display nonuniformity increases, and had the trouble that adjustment took much time amount.

[0021]

[Problem(s) to be Solved by the Invention] The technical problem of this invention is offering the video-signal processor which solved many problems of the buildup of circuit magnitude and the increment in power consumption by the number of partitions increasing, and aimed at the cutback of circuit magnitude, and the cutback of power consumption in the video-signal processor which divides the liquid crystal display panel of high-speed actuation into two or more channels, and drives it with high resolution.

[0022]

[Means for Solving the Problem] In case a video-signal processor according to claim 1 writes a video signal in a liquid crystal display panel, it is a video-signal processor which samples two or more channels simultaneously and drives them, and divides a processor into the low-battery processing circuit which performs image quality adjustment etc., and the high-tension processing circuit changed into the write-in signal to a liquid crystal display panel. And a small number of division was carried out, carrying out sampling processing of the video signal in a low-battery processing circuit, further, it re-divides in a high-tension processing circuit, and the increase in efficiency of a processing circuit was attained.

[0023] As an example of a video-signal processor according to claim 2, the low-battery processing circuit was both equipped with the sample hold circuit which is divided into two and which consists of two channels, respectively, the brightness equalization circuit which performs a brilliance control, the contrast equalization circuit which performs contrast adjustment, the gamma correction circuit which performs adjustment of a gamma correction, and the switching circuit. The high-tension processing circuit was equipped with the sample hold circuit which consists of 12 channels, respectively, the amplifying circuit, and the buffer circuit while dividing it into 12. And the number of partitions was lessened and circuit magnitude was reduced, and the number of partitions is made [many] and it enabled it to obtain sufficient driver voltage in this high-tension processing circuit in a low-battery processing circuit.

[0024] In case a video-signal processor according to claim 3 writes a video signal in a liquid crystal display panel, it is divided into the low-battery processing circuit which is the video-signal processor which samples two or more channels simultaneously and drives them, and performs a processor for image quality adjustment etc., the high-tension processing circuit which performs high-tension processing, and the high-tension sample hold circuit changed into the write-in signal to said liquid crystal display panel. And a small number of division was carried out, carrying out sampling processing of the video signal in a low-battery processing circuit, sampling processing was carried out or it divided into the predetermined number, without performing sampling processing in a high-tension processing circuit, and carrying out re-sampling processing in a high-tension sample hold circuit, it re-divides and the increase in efficiency of a processing circuit was made to plan further.

[0025] As an example of a video-signal processor according to claim 4, the low-battery processing circuit was both equipped with the sample hold circuit which is divided into two and which consists of two channels, respectively, the brightness equalization circuit which performs a brilliance control, the contrast equalization circuit which performs contrast adjustment, the gamma correction circuit

which performs adjustment of a gamma correction, and the switching circuit. The high-tension processing circuit was equipped with the sample hold circuit which consists of six channels, respectively, the amplifying circuit, and the buffer circuit while dividing it into six. The high-tension sample hold circuit was equipped with the sample hold circuit which consists of 12 channels while dividing it into 12. And the number of partitions was lessened and circuit magnitude was reduced, and the number of partitions is made [many] for drive frequency in raising and a high-tension sample hold circuit, and it enabled it to make the number of partitions whenever [middle] and to obtain sufficient driver voltage in a high-tension processing circuit, in a low-battery processing circuit.

[0026] Furthermore, as an example of a video-signal processor according to claim 5, the low-battery processing circuit was equipped with the sample hold circuit which consists of two channels, respectively, the brightness equalization circuit, the contrast equalization circuit, the gamma correction circuit, and the switching circuit while dividing it into two. The high-tension processing circuit was equipped with the amplifying circuit and buffer circuit which consist of two channels, respectively while dividing it into two. The high-tension sample hold circuit was equipped with the sample hold circuit which consists of 12 channels while dividing it into 12. And the number of partitions was lessened and circuit magnitude was reduced, and the number of partitions is made [many] and it enabled it to obtain sufficient driver voltage in a high-tension sample hold circuit in a low-battery processing circuit and a high-tension processing circuit.

[0027] As an operation of claim 1 and a video-signal processor given in two, the number of partitions was lessened and drive frequency was made high in the low-battery processing circuit which performs image quality adjustment etc. In a low-battery processing circuit, the number of partitions is written few, circuit magnitude is suppressed to the minimum, the adjustment part of a circuit decreases with it, and adjustment becomes easy. In the high-tension processing circuit, the number of partitions is made [many], drive frequency is made low, and sufficient driver voltage was secured. Therefore, also in the video-signal processor the number of pixels of a liquid crystal display panel increased, and it became impossible to adopt a point sequential sampling method, circuit magnitude, the adjustment part accompanying it, and the video-signal processor that stopped power consumption to the minimum can be built.

[0028] A processor is trichotomized into a low-battery processing circuit, a high-tension processing circuit, and a high-tension sample hold circuit as an operation of claim 3 thru/or a video-signal processor given in five. And in a low-battery processing circuit, the number of partitions is written few, circuit magnitude is suppressed to the minimum, and adjustment becomes easy. In a high-tension processing circuit, since it was made to divide into a predetermined number, the degree of freedom of a design goes up. In the high-tension sample hold circuit, the number of partitions is made [many], drive frequency is made low, and sufficient driver voltage was secured. Therefore, the cutback of the further circuit magnitude and the cutback of power consumption can be aimed at.

[0029]

[Embodiment of the Invention] With reference to an accompanying drawing, it explains per example of a gestalt of concrete operation of this invention. The same reference agreement is given to the part which is common on the matter indicated with the conventional technique hereafter, and a part of those explanation is omitted. Moreover, a part "TG", "AMP", "BUFF.", "SW", etc. outlined and showed the component.

[0030] With reference to gestalt drawing 1 thru/or drawing 3 of the 1st operation, the detail of the gestalt of operation of the 1st of the video-signal processor of this invention is explained. First, the 1st configuration of the gestalt of operation is explained with reference to drawing 1 thru/or drawing 3. The block diagram in which drawing 1 R> 1 shows the gestalt of operation of the 1st of the video-signal processor of this invention, the block diagram in which drawing 2 shows the example of subsampling and the details configuration of a liquid crystal display panel, and drawing 3 are timing-chart drawings showing actuation of the gestalt of the 1st operation.

[0031] In drawing 1, a sign 20 points out the video-signal processor of this invention. The profile configuration of the video-signal processor 20 of this invention is carried out from the low-battery processing circuits 2, such as the circumference circuits 1, such as a decoder and a timing generator, and image quality adjustment, the high-tension processing circuit 3 which performs signal

transformation to a liquid crystal display panel, and the liquid crystal display panel 4. It constituted so that signal division in the low-battery processing circuit 2 or the high-tension processing circuit 3 might be performed as a description matter of this invention in two steps. Namely, the low-battery processing circuit 2 which is a small signal circuit lessened the number of partitions, and just before the high-tension processing circuit 3 of the next step, it constituted it so that it might become a final signal line and might re-divide. The low-battery processing circuit 2 consisted of these examples so that the number of partitions might be lessened comparatively for 2 minutes, the number of partitions might be comparatively made [many] for frequency characteristics in raising and the high-tension processing circuit 3 for 12 minutes and frequency characteristics might be lowered.

[0032] The details configuration of the circumference circuit 1 consists of timing generator 7 grades which generate the input terminal 5 into which video signals, such as a composite video signal, are inputted, the decoder 6 which changes an input video signal into the separate signal of R, G, and B etc., and various control signals. The details configuration of the low-battery processing circuit 2 consists of the subsampling 19a and 19b carried out 2 ****s, respectively, the brightness 8a and 8b equipped with an adjustment means to perform a brilliance control, Contrast 9a and 9b, gamma corrections 10a and 10b, reversal amplifier 11a and 11b, and polar switches 12a and 12b. The details configuration of the high-tension processing circuit 3 consists of subsampling 21a-21l. carried out 12 ****s, respectively, AC amplifier 22a-22l., buffer circuits 23a-23l., etc. The video signal by which the fragmentation rate was carried out in the high-tension processing circuit 3 is connected to the liquid crystal display panel 4 which becomes in a color or monochrome.

[0033] Interpolation of the V scanner 16 which consists of the H scanner 15, the enabling gate, and the buffer which consist of a gate circuit and a sample holder is carried out, the signal line later mentioned through a switching device 17 is connected to the H scanner 15, as for the details configuration of the liquid crystal display panel 4, the scanning line (graphic display abbreviation) is connected to the V scanner 16, and these are arranged in the shape of a matrix. TFT mentioned later is formed in the intersection of a signal line and the scanning line, and the display area 18 is constituted.

[0034] In drawing 2, the internal configuration of subsampling in input section 5' into which the gestalt of this operation is an example which divides a predetermined chrominance signal into two, for example, a red video signal is inputted, and the low-battery processing circuit 2 consists of switches B switched by the switch A switched by the control signal SHA, and the control signal SHB. By control signals SH1-SH13, the high-tension processing circuit 3 consists of a switch 1 which switches the signal for 12 channels - a switch 13, and storage capacitance and the AC amplifier 22a-22l. are connected to each switch, and it is constituted. The video signal divided into 1-12 channels is connected to TFT24 and a pixel 25 through a switching device 17 while connecting with the signal lines 1-12 of the liquid crystal display panel 4.

[0035] Actuation of the gestalt of this operation is explained with reference to drawing 1 thru/or drawing 3. Video signals, such as a composite video signal inputted into the input section terminal 5 of drawing 1, are inputted into a decoder 6. In a decoder 6, while changing a video signal into the separate signal which was adapted for the liquid crystal display panel, the video signal of the red by which polarity reversals were carried out, for example to ** is outputted to output section 5'. Furthermore, synchronizing signals H and VSync are separated from a video signal, and it outputs to a timing generator 7. In a timing generator 7, control signals, such as the sampling pulse SP with which the application of control of a liquid crystal display panel is presented, start pulses HST and VST, and clock pulses HCK and VCK, are generated from VCO or synchronizing signals H and VSync, and it outputs to the low-battery processing circuit 2, the high-tension processing circuit 3, and the liquid crystal display panel 4.

[0036] In the subsampling 19a and 19b of the low-battery processing circuit 2, sampling processing is carried out based on the sampling pulse SP outputted from a timing generator 7. In Brightness 8a and 8b, Contrast 9a and 9b, and gamma corrections 10a and 10b, adjustment of brightness, a contrast ratio, and a gamma correction curve is performed by adjusting an adjustment means by which it does not illustrate, respectively. With the reversal amplifier 11a and 11b, a reverse-video signal is amplified, and a desired polar video signal is chosen and outputted by the polar switches 12a and 12b.

[0037] In the subsampling 21a-21l. in the high-tension processing circuit 3, re-sampling processing of the inputted polar predetermined video signal is carried out based on a sampling pulse SP. With the AC amplifier 22a-22l., the video signal by which subsampling was carried out is amplified to predetermined image level. In buffer circuits 23a-23l., processing of the current amplification for driving the load of the liquid crystal display panel 4 etc. is made.

[0038] The liquid crystal display panel 4 is supplied to the H scanner 15 or the V scanner 16 while it carries out the receipt of the video signal of 12 channels corresponding to each pixel inputted from the above-mentioned video-signal processor, and the control signals, such as HST, HCK, VST, and VCK. With the V scanner 16, sequential selection of the scanning line is made for every 1 level period, with the H scanner 15, a switching device 17 is chosen as 1 level period one by one, and a video signal is incorporated to a signal line through a switching device 17. The incorporated video signal controls a liquid crystal molecule (graphic display abbreviation) by TFT according to the image level of each pixel, makes a liquid crystal molecule twist and do a handstand in the applied-voltage direction, and projects an image etc. in the display area 18.

[0039] The detail of actuation of the gestalt of the 1st operation is explained with reference to drawing 2 and drawing 3 . In the low-battery processing circuit 2 of drawing 2 , the red video signal inputted into input section 5' is inputted in parallel to Switches A and B. With Switches A and B, a polar predetermined video signal is outputted for a video signal to a switch, A output, and B output based on control signals SHA and SHB.

[0040] Moving to explanation of drawing 3 , with the control signals SHA and SHB on the basis of a dot clock (system clock), the inputted video signals (image data) 1-24 switch the + video signals 1-23 and the - video signals 2-24 like a graphic display, and output a video signal to a switch, A output, and B output. The video signal by which polarity reversals were carried out to ** outputted to A output and B output is outputted to the high-tension processing circuit 3 of drawing 2 . The switches 1-13 of the high-tension processing circuit 3 are controlled by the control signals SH1-SH13 of drawing 3 . Control signals SH1-SH13 are the shift clocks corresponding to one signal line like drawing 3 , and the video signal controlled by control signals SH1-SH13 is outputted to the liquid crystal display panel 4 through the AC amplifier 22a-22l. of the high-tension processing circuit 3 in drawing 2 etc. While the video signal processed by the high-tension processing circuit 3 is inputted into the signal lines 1-12 of the liquid crystal display panel 4 of drawing 2 , it is inputted into TFT24 and a pixel 25 through a switching device 17.

[0041] According to the gestalt of this operation, since the low-battery processing circuits 2, such as brightness, are small signal circuits, there may be little number of partitions. If this low-battery processing circuit 2 is processed by DSP, a system clock can be controlled to about 50MHz, and can fully be processed. It re-divides finely and was made to lower a drive frequency property in the high-tension processing circuit 3 of the next step. Thereby, sufficient high tension for the high-tension processing circuit 3 can be secured now.

[0042] It replaces with comparatively for 2 minutes, and the gestalt of gestalt book implementation of the 2nd operation is the example in the gestalt of the 1st operation considered as the trichotomy configuration, and explains this with reference to drawing 4 . Hereafter, a circumference circuit is omitted.

[0043] First, the 2nd configuration of the gestalt of operation is explained with reference to drawing 4 . Drawing 4 is the block diagram showing the gestalt of operation of the 2nd of the video-signal processor of this invention.

[0044] The sign 30 in drawing 4 points out the video-signal processor of this invention. The profile configuration of the video-signal processor 30 of this invention is carried out from input section 5' into which the video signal by which polarity reversals were carried out to the predetermined chrominance signal, for example, red **, is inputted, the low-battery processing circuit 2, the high-tension processing circuit 3 which performs signal transformation to a liquid crystal display panel, and the liquid crystal display panel 4. In addition to the low-battery processing circuit 2 or the high-tension processing circuit 3, as a description matter of this invention, the high-tension sample hold circuit 31 was newly formed, and it constituted so that signal division might be performed by the three-stage. The low-battery processing circuit 2 was carried out comparatively for 2 minutes, and it was carried out comparatively for 6 minutes, and the high-tension sample hold circuit 31 constituted

it from this example in the high-tension processing circuit 3 so that the number of partitions might be comparatively made [many] for 12 minutes and frequency characteristics might be lowered.

[0045] The details configuration of the low-battery processing circuit 2 consists of the subsampling 19a and 19b carried out 2 ****s, respectively, Brightness 8a and 8b, Contrast 9a and 9b, gamma corrections 10a and 10b, reversal amplifier 11a and 11b, and polar switches 12a and 12b. The details configuration of the high-tension processing circuit 3 consists of subsampling 32a-32f carried out 6 ****s, respectively, AC amplifier 33a-33f, buffer circuits 34a-34f, etc. The video signal by which the fragmentation rate was carried out comparatively for 6 minutes is connected to the high-tension sample hold circuit 31. The details configuration of the high-tension sample hold circuit 31 is constituted by the subsampling 31a-31f. for high-tension sample hold circuit 31 connected to each signal line of the liquid crystal display panel 4. The video signal by which the fragmentation rate was carried out comparatively for 12 minutes in the high-tension sample hold circuit 31 is connected to the liquid crystal display panel 4. The liquid crystal display panel 4 is constituted like the gestalt of the 1st operation.

[0046] Thus, actuation of the description part of the gestalt of this constituted operation is explained. The video signal which was inputted into input section 5' of drawing 4 and by which polarity reversals were carried out, for example to ** is inputted into the low-battery processing circuit 2. In the subsampling 19a-19b of the low-battery processing circuit 2, sampling processing is carried out based on a sampling pulse SP (graphic display abbreviation). In Brightness 8a and 8b, Contrast 9a and 9b, and gamma corrections 10a and 10b, adjustment of brightness, a contrast ratio, and a gamma correction curve is performed by adjusting an adjustment means by which it does not illustrate, respectively. In the reversal amplifier 11a and 11b, a video signal is amplified, and with the polar switches 12a and 12b, a desired polar video signal is chosen and it outputs to the high-tension processing circuit 3.

[0047] In the subsampling 32a-32f of the high-tension processing circuit 3, re-sampling processing of the inputted polar predetermined video signal is carried out based on a sampling pulse SP. With the AC amplifier 33a-33f, the video signal by which subsampling was carried out is amplified to predetermined image level. In buffer circuits 34a-34f, the current amplification for driving the load of the next step etc. is processed, and it outputs to the high-tension sample hold circuit 31. In the high-tension sample hold circuit 31, while dividing into 12 channels based on a sampling pulse SP similarly, by Subsampling 31a-31f., sampling processing is carried out and it outputs to the liquid crystal display panel 4. According to a conventional method, an image etc. is expressed as the liquid crystal display panel 4.

[0048] With the gestalt of this operation, division of a video signal is made into a three-stage, and it was made to perform final third-time division just before the same high-tension sample hold circuit (analog switch) which carries out comparatively for 2 minutes, performs re-division with small-scale 6 division extent just before a high-tension processing circuit, and passes to the signal line of a liquid crystal display panel again in the low-battery processing circuit. Thus, the video-signal processor which suppressed circuit magnitude to the minimum and also suppressed adjustment to the minimum can be built by performing signal division gradually.

[0049] As deformation of the trichotomy in the gestalt of the 2nd operation, the gestalt of gestalt book implementation of the 3rd operation is the example which does not perform a fragmentation rate but was made to perform a fragmentation rate in the high-tension sample hold circuit in front of a liquid crystal display panel, and explains this with reference to drawing 5 thru/or drawing 6 in a high-tension processing circuit.

[0050] The 3rd configuration of the gestalt of operation is explained with reference to drawing 5 and drawing 6. The block diagram in which drawing 5 shows the gestalt of operation of the 3rd of the video-signal processor of this invention, and drawing 6 are the block diagrams showing the example of subsampling, and the details configuration of a liquid crystal display panel.

[0051] The profile configuration of the video-signal processor of the gestalt of this operation in drawing 5 is carried out from input section 5', the low-battery processing circuit 2 divided into two, the high-tension processing circuit 3 made the same 2 ****s, the high-tension sample hold circuit 41, and the liquid crystal display panel 4. In this example, in the low-battery processing circuit 2 and the high-tension processing circuit 3, the number of partitions was lessened comparatively for 2 minutes,

the number of partitions was comparatively made [many] for frequency characteristics for 12 minutes in the high-tension sample hold circuit 41 in front of raising and the liquid crystal display panel 4, and frequency characteristics were carried out as [secure / lowering and sufficient high tension].

[0052] The configuration of the low-battery processing circuit 2 consists of the subsampling 19a and 19b divided into two, the brightness 8a and 8b equipped with the adjustment means, Contrast 9a and 9b, gamma corrections 10a and 10b, reversal amplifier 11a and 11b, and polar switches 12a and 12b. The configuration of the high-tension processing circuit 3 consists of the AC amplifier 42a and 42b, buffer circuits 43a and 43b, etc. which were made the same 2 ****s. The high-tension sample hold circuit 41 consists of subsampling 41a-41l. carried out 12 ****s, and the output is connected to the signal line of the liquid crystal display panel 4. The liquid crystal display panel 4 is constituted like the above-mentioned.

[0053] In the details configuration of drawing 6, the details of input section 5' into which a red video signal is inputted, and the low-battery processing circuit 2 consist of switches A and B switched by control signals SHA and SHB. The output of the low-battery processing circuit 2 is connected to the high-tension processing circuit 3 through A output and B output. The output of the high-tension processing circuit 3 is connected to the high-tension sample hold circuit 41. The high-tension sample hold circuit 41 consists of a switch 1 which performs the signal switch for 12 channels with control signals SH1-SH13 - a switch 13. Storage capacitance is connected to each switch. The video signal carried out 12 ****s by each switch is connected and constituted by TFT24 and the pixel 25 through a switching device 17 while connecting with the signal lines 1-12 of the liquid crystal display panel 4.

[0054] Actuation of the gestalt of this operation is explained with reference to drawing 5. In drawing 5, the video signal inputted into input section 5' is inputted into the low-battery processing circuit 2. In the subsampling 19a and 19b of the low-battery processing circuit 2, sampling processing is carried out based on the sampling pulse SP (graphic display abbreviation) outputted from a timing generator. In Brightness 8a and 8b, Contrast 9a and 9b, and gamma corrections 10a and 10b, adjustment of brightness, a contrast ratio, and a gamma correction curve is performed by adjusting an adjustment means, respectively. With the reversal amplifier 11a and 11b, a video signal is amplified, and a desired polar video signal is chosen and outputted by the polar switches 12a and 12b.

[0055] With the AC amplifier 42a and 42b of the high-tension processing circuit 3, the video signal for dot reversal by which subsampling was carried out is amplified to predetermined image level. In buffer circuits 43a and 43b, processing of the current amplification for driving the load of a next step circuit etc. is made. In the subsampling 41a-41l. of the high-tension sample hold circuit 41, the inputted polar predetermined video signal is again sampling-processing-outputted to the signal line of the liquid crystal display panel 4 based on a sampling pulse SP (graphic display abbreviation). By the liquid crystal display panel 4, an image etc. is projected according to a conventional method.

[0056] Then, detailed actuation of the gestalt of this operation is explained with reference to drawing 6. In the low-battery processing circuit 2 of drawing 6, based on control signals SHA and SHB, the video signal by which polarity reversals were carried out to inputted ** is switched by turns, and outputs a polar predetermined video signal to A output and B output with Switch A and Switch B. Magnification and buffering processing are performed in the high-tension processing circuit 3. In the high-tension sample hold circuit 41, the same actuation as timing-chart drawing shown with the gestalt of the 1st operation performs switch actuation of a video signal. That is, the video signal which was inputted into the high-tension sample hold circuit 41 and by which polarity reversals were carried out is outputted to the signal lines 1-12 of the liquid crystal display panel 4 as a projecting signal which was switched based on control signals SH1-SH13, and was carried out 12 ****s by switches 1-13. In addition, while timing-chart drawing showing actuation of the gestalt of this operation is the same as that of the gestalt of the 1st operation, since subsequent actuation overlaps, it omits the explanation. Thus, signal division is lessened in the low-battery processing circuit 2 and the high-tension processing circuit 3, and it was made to re-divide finely with the gestalt of this operation, so that it may become a final signal line just before the high-tension sample hold circuit 41. Therefore, while a cutback and the number of wiring of the further circuit magnitude are

reducible, the video-signal processor which secured sufficient high tension is realizable.

[0057] This invention is not limited to the gestalt of the above-mentioned operation, but can take the gestalt of various operations. For example, although illustrated about the method divided into 3-12 in the example of a gestalt of this operation, it is also possible to divide into the number of partitions beyond it, and this invention is not limited to the number of partitions. Moreover, although the gestalt of this operation explained the case where the actuation circuit of H scanner and V scanner was interpolated, also when extrapolating an actuation circuit, it can apply. Furthermore, it cannot be overemphasized that it can apply suitably in the range which does not deviate from the main point of this invention.

[0058]

[Effect of the Invention] Since according to the video-signal processor of this invention the processing circuit of a video signal is divided proper according to a property and processed in the video-signal processor driven by two or more dot simultaneous sampling method, as explained above, Also in the video-signal processor the number of pixels of a liquid crystal display panel increased, and it became impossible to adopt a point sequential sampling method, it becomes possible to build circuit magnitude, the adjustment part accompanying it, and the video-signal processor that held down power consumption to necessary minimum.

[Translation done.]

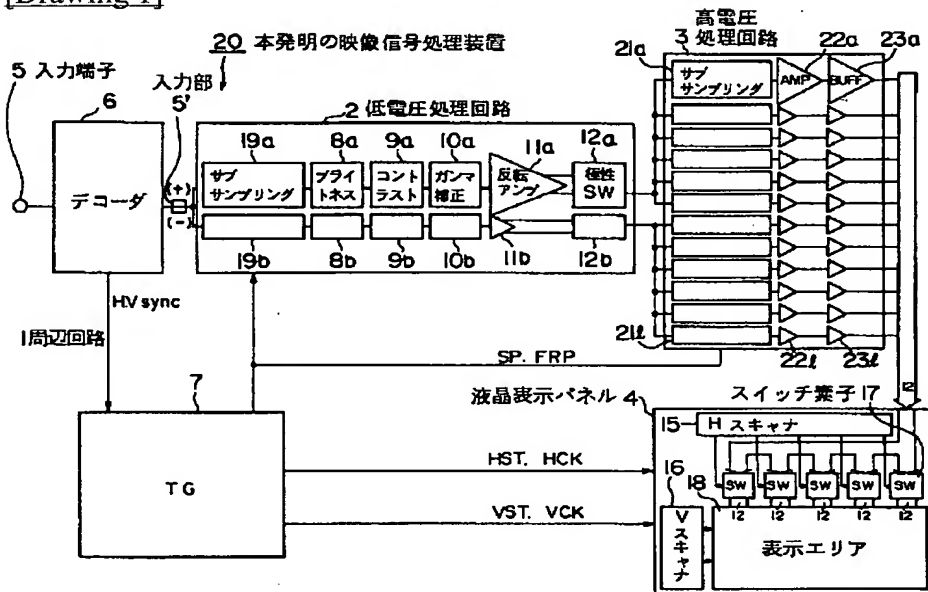
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

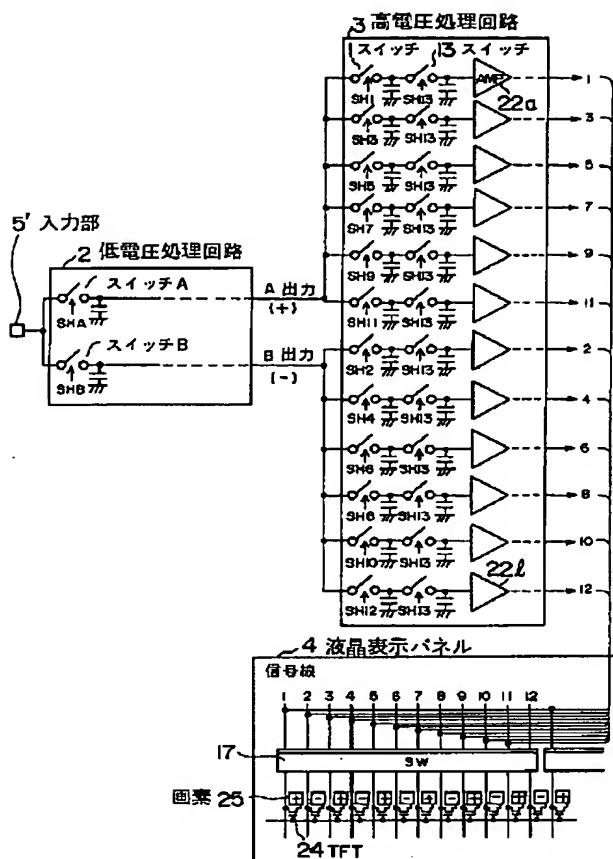
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

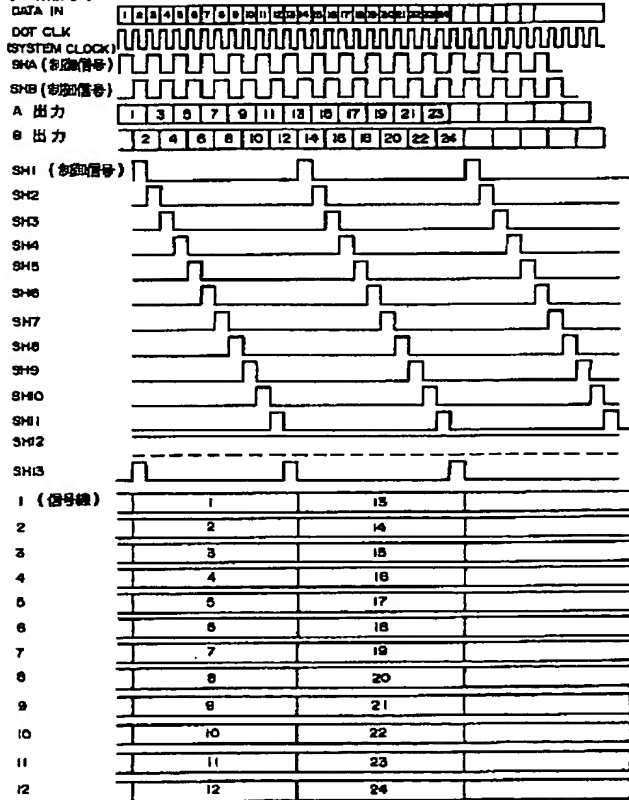


[Drawing 2]

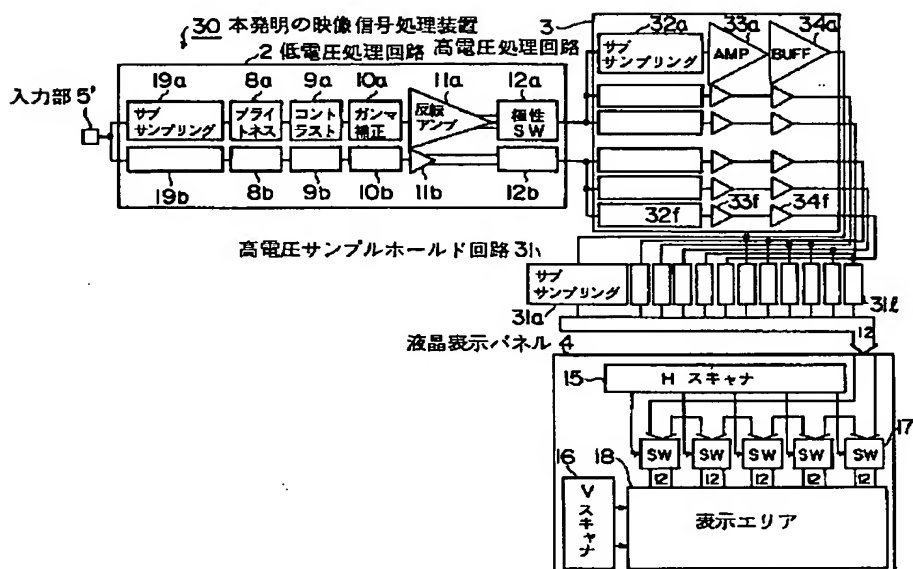


[Drawing 3]

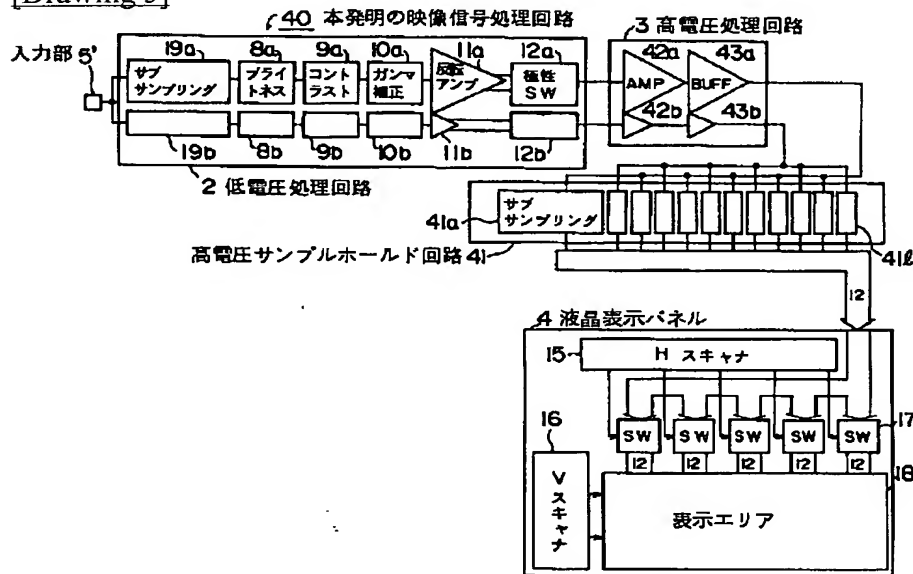
(映像信号)



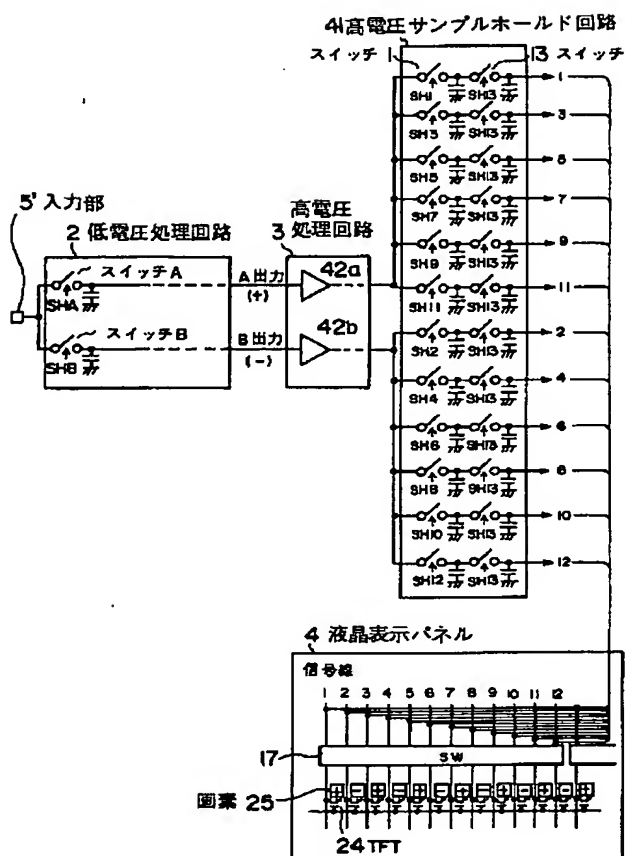
[Drawing 4]



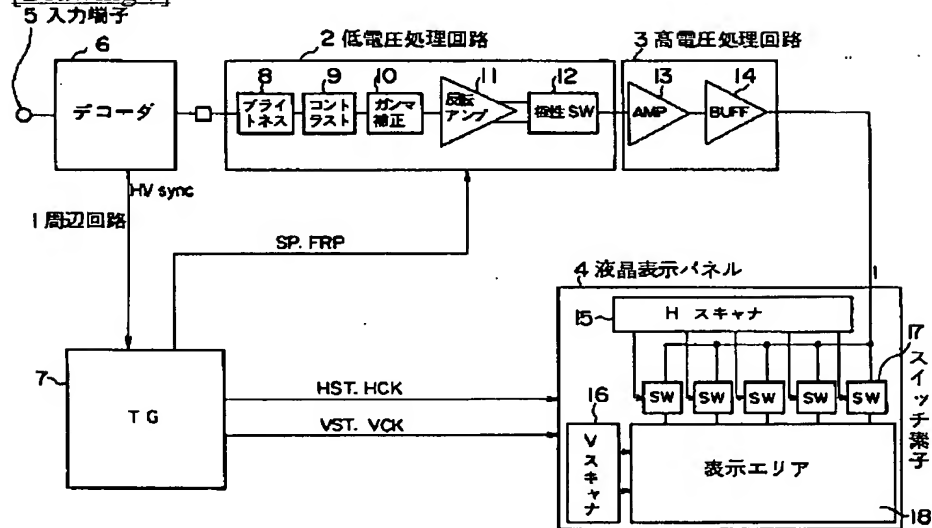
[Drawing 5]



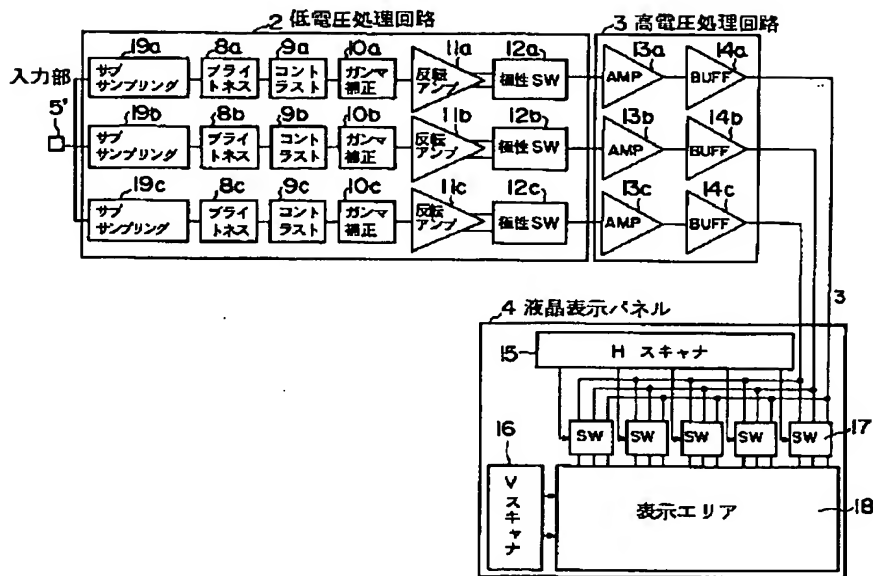
[Drawing 6]



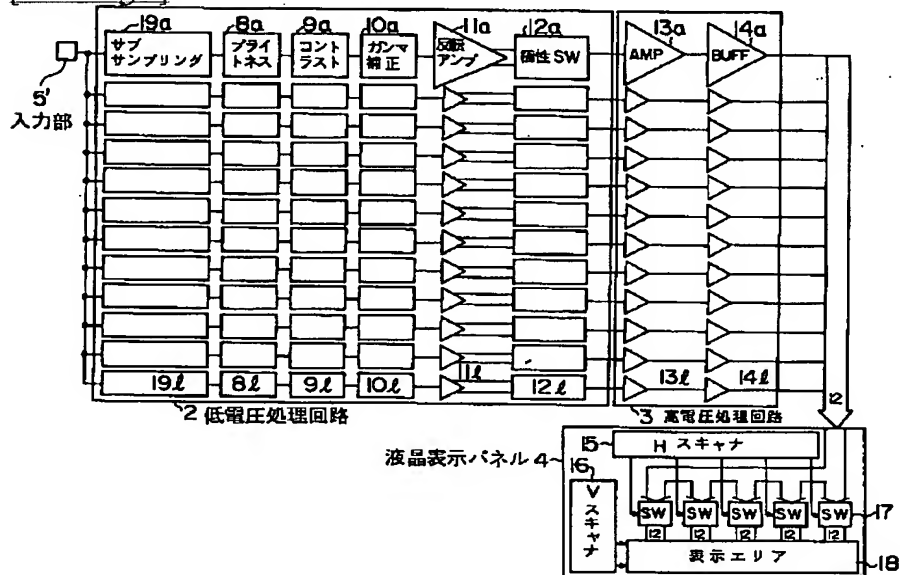
[Drawing 7]



[Drawing 8]



[Drawing 9]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-81080

(43)公開日 平成9年(1997)3月28日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 0 5		G 0 2 F 1/133	5 0 5
	5 7 5			5 7 5
H 0 4 N 5/66	1 0 2		H 0 4 N 5/66	1 0 2 B

審査請求 未請求 請求項の数5 O L (全 13 頁)

(21)出願番号 特願平7-230408

(22)出願日 平成7年(1995)9月7日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 仲島 義晴

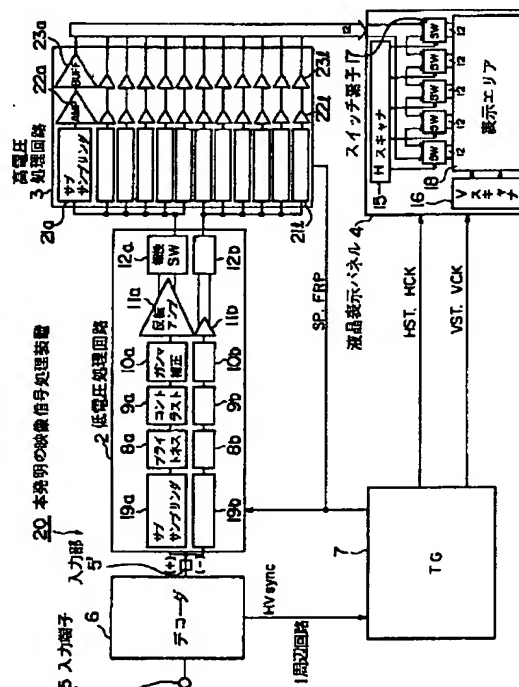
東京都品川区北品川6丁目7番35号ソニー株式会社内

(54)【発明の名称】 映像信号処理装置

(57)【要約】

【課題】 複数ドット同時サンプリング方式で駆動する映像信号処理装置において、映像信号の処理回路を適正に分割して表示品質の向上と処理回路の小規模化を図った映像信号処理装置を提供する。

【解決手段】 本発明の映像信号処理装置20は、周辺回路1、画質調整等の低電圧処理回路2、液晶表示パネルへの信号変換を行う高電圧処理回路3、および液晶表示パネル4から大略構成される。本発明の特徴事項として、低電圧処理回路2や高電圧処理回路3における信号分割を2段階に分けて行うように構成した。即ち、低電圧処理回路2は2分割と分割数を少なくして周波数特性を上げ、高電圧処理回路3では12分割と分割数を多くして周波数特性を下げ、充分な高電圧を確保する構成とした。



1

【特許請求の範囲】

【請求項1】 液晶表示パネルに映像信号を書き込む際に、複数のチャンネルを同時にサンプリングして駆動する映像信号処理装置であって、

前記映像信号処理装置を、画質調整等を行う低電圧処理回路、および前記液晶表示パネルへの書き込み信号に変換する高電圧処理回路に分割するとともに、該低電圧処理回路によって前記映像信号をサンプリング処理しながら少数分割し、該高電圧処理回路によって前記映像信号をサンプリング処理しながら更に微細に分割し、処理回路の効率化を図ることを特徴とする映像信号処理装置。

【請求項2】 該低電圧処理回路は2分割されるとともに、それぞれ2チャンネル分からなる前記映像信号をサンプリングするサンプルホールド回路と、輝度調整を行うブライトネス調整回路と、コントラスト調整を行うコントラスト調整回路と、ガンマ補正の調整を行うガンマ補正回路と、前記映像信号の選択を行うスイッチ回路とを備え、該高電圧処理回路は12分割されるとともに、それぞれ12チャンネル分からなる前記映像信号を再サンプリングするサンプルホールド回路と、増幅回路と、バッファ回路とを備え、該低電圧処理回路では分割数を少なくして回路規模を縮小し、該高電圧処理回路では分割数を多くして充分な駆動電圧を得られるようにしたことを特徴とする請求項1に記載の映像信号処理装置。

【請求項3】 液晶表示パネルに映像信号を書き込む際に、複数のチャンネルを同時にサンプリングして駆動する映像信号処理装置であって、前記映像信号処理装置を、画質調整等を行う低電圧処理回路、高電圧処理を行う高電圧処理回路、および前記液晶表示パネルへの書き込み信号に変換する高電圧サンプルホールド回路に分割するとともに、該低電圧処理回路によって前記映像信号をサンプリング処理しながら少数分割し、該高電圧処理回路によって前記映像信号をサンプリング処理またはサンプリング処理を行わずに所定数に分割し、該高電圧サンプルホールド回路によって前記映像信号をサンプリング処理しながら更に微細に分割し、処理回路の効率化を図ることを特徴とする映像信号処理装置。

【請求項4】 該低電圧処理回路は2分割されるとともに、それぞれ2チャンネル分からなる前記映像信号をサンプリングするサンプルホールド回路と、輝度調整を行うブライトネス調整回路と、コントラスト調整を行うコントラスト調整回路と、ガンマ補正の調整を行うガンマ補正回路と、前記映像信号の選択を行うスイッチ回路とを備え、

2

該高電圧処理回路は6分割されるとともに、それぞれ6チャンネル分からなる前記映像信号を再サンプリングするサンプルホールド回路と、増幅回路と、

バッファ回路とを備え、

該高電圧サンプルホールド回路は12分割されるとともに、12チャンネル分からなる前記映像信号を再サンプリングするサンプルホールド回路を備え、該低電圧処理回路では分割数を少なくして回路規模を縮小し、該高電圧処理回路では分割数を中程度にして駆動周波数を上げ、該高電圧サンプルホールド回路では分割数を多くして充分な駆動電圧を得られるようにしたことを特徴とする請求項3に記載の映像信号処理装置。

【請求項5】 該低電圧処理回路は2分割されるとともに、それぞれ2チャンネル分からなる前記映像信号をサンプリングするサンプルホールド回路と、輝度調整を行うブライトネス調整回路と、コントラスト調整を行うコントラスト調整回路と、ガンマ補正の調整を行うガンマ補正回路と、前記映像信号の選択を行うスイッチ回路とを備え、該高電圧処理回路は2分割されるとともに、それぞれ2チャンネル分からなる増幅回路と、バッファ回路とを備え、該高電圧サンプルホールド回路は12分割されるとともに、12チャンネル分からなる前記映像信号を再サンプリングするサンプルホールド回路を備え、該低電圧処理回路および該高電圧処理回路では分割数を少なくして回路規模を縮小し、該高電圧サンプルホールド回路では分割数を多くして充分な駆動電圧を得られるようにしたことを特徴とする請求項3に記載の映像信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばカメラ一体型VTRや液晶プロジェクタに用いられる液晶表示パネルを駆動する映像信号処理装置に関し、更に詳しくは、液晶表示パネルへの映像信号の書き込みに際し、映像信号の処理回路を分割して回路規模の縮小と低消費電力化を図った映像信号処理装置に関するものである。

【0002】

【従来の技術】近年、カメラ一体型VTRや液晶プロジェクタに代表される液晶表示パネル付き機器の普及とともに、液晶表示パネルへの高性能化の要求が高まり、液晶表示パネルの高解像度化や高画質化が進んでいる。液晶表示パネルを駆動する方式としては一般的に次の2方式が採られている。その1として、特に多結晶シリコン(Poly-Si)を活性層とする薄膜トランジスタでは、その高速性能の高さから、1本の信号線を用いて短時間に1画素毎の映像信号を書き込む点順次サンプリング方式が採られている。その2として、更に高解像度化が進んだ

液晶表示パネルにおいては、駆動処理の前に信号を予め何本かに分割しておき、それらを一括して同時に書き込む、所謂複数ドット同時サンプリング方式および線順次方式が採用されている。

【0003】これらの駆動方式のうち回路の簡素化の観点から考えると、その1の点順次サンプリング方式が望ましい。しかし、液晶表示パネルの画素数が増加して高解像度化が進んだ場合、映像信号処理装置の広帯域化が必要となり、点順次サンプリング方式の採用は困難となる。一例として、倍速化されたハイビジョンテレビジョン(High Definition Television)信号やコンピュータ用のXGA信号等を処理しようとすれば、輝度信号で40MHz以上の周波数帯域が必要となる。このような周波数帯域の映像信号処理装置の構築は現在非常に困難である。即ち、この周波数帯域をカバーするシステムクロック80MHz程度のDSP(Digital Signal Processor)の実現は可能であるが、これには多大な消費電力が必要となるためである。

【0004】液晶表示パネルとのインターフェースを図るための高電圧処理回路に関しては、これを実現する大規模集積回路(Large Scale Integrated Circuit)素子がないことから実現は極めて困難である。更に、多結晶シリコンを用いた液晶表示パネル上にこの周波数帯域を有する処理回路を形成することは現時点では不可能である。従って、高解像度液晶表示パネルの映像信号処理装置には、現状複数ドット同時サンプリング方式や線順次方式を採用せざるを得ない。本発明はこの高解像度液晶表示パネルの映像信号処理装置に係わるものであり、以下その具体例を挙げて説明する。

【0005】従来技術の映像信号処理装置を図7ないし図9を参照して説明する。先ず、図7を参照して従来技術の映像信号処理装置の第1例の構成を説明する。図7は点順次サンプリング方式の映像信号処理装置を示すブロック図である。なお、図における構成要素は、一部「TG」「AMP」「BUFF.」「SW」等で略記して示した。

【0006】点順次サンプリング方式の映像信号処理装置は、入力された映像信号を処理する周辺回路1、画質調整等の低電圧回路部の処理を行う低電圧処理回路2、液晶表示パネルへの信号変換を行う高電圧処理回路3、および液晶表示パネル4から大略構成される。周辺回路1は、コンポジットビデオ信号等の映像信号が入力される入力端子5、入力映像信号をR、G、Bのセパレート信号(カラー液晶パネルの場合)に変換するデコーダ6、各種制御信号を発生するタイミングジェネレータ7等で構成される。低電圧処理回路2は、図示を省略した輝度調整を行う調整手段を備えたブライトネス8、コントラスト9、ガンマ補正10、反転アンプ11、および極性スイッチ12で構成される。

【0007】高電圧処理回路4の構成は、ACアンプ1

3、バッファ回路14等で構成される。液晶表示パネル4は、ゲート回路およびサンプルホルダよりなるHスキャナ15、イネーブルゲートおよびバッファからなるVスキャナ16が内挿されて構成される。Hスキャナ15にはスイッチ素子17を介して後述する信号線が接続され、Vスキャナ16には走査線(図示省略)が接続され、その交差部には薄膜トランジスタ(Thin Film Transistor 以下、単に「TFT」と記す)が形成されて表示エリア18を構成している。

10 【0008】かかる構成の従来技術の映像信号処理装置の第1例の動作を説明する。図7における周辺回路1の入力端子5に入力されたコンポジットビデオ等の映像信号はデコーダ6に入力される。デコーダ6では映像信号を液晶表示パネルの駆動に適合したR、G、B等のセパレート信号に変換するとともに、同期信号H、V Syncをタイミングジェネレータ7に出力する。タイミングジェネレータ7では液晶表示パネルの制御の用途に供する各種制御信号をVCO(Voltage Controlled Oscillator)や同期信号H、V Syncから生成して低電圧処理回路2や液晶表示パネル4に出力する。これら制御信号の具体例を説明するならば、映像信号のサンプリング処理に必要なサンプリングパルスSP、映像信号を交流化するための反転パルスFRP、Hスキャナ15やVスキャナ16のスタートパルスHST、VST、およびクロックパルスVCK、HCK等である。

20 【0009】低電圧処理回路2におけるブライトネス8、コントラスト9、ガンマ補正10では不図示の調整手段を調整することにより、それぞれ明るさ、コントラスト比、ガンマ補正曲線の調整を行う。反転アンプ11および極性スイッチ12では、タイミングジェネレータ7の発生する反転パルスFRPと同期を取りつつ映像信号を交流化し、極性スイッチ12で所望の極性の映像信号を出力する。高電圧処理回路3のACアンプ13では交流化された映像信号を所定映像レベルまで増幅する。バッファ回路14では液晶表示パネル4の負荷を駆動するための電流増幅等の処理がなされる。

30 【0010】液晶表示パネル4は、前述の映像信号処理装置から入力された映像信号、HST、HCK、VST、VCK等の制御信号を受取るとともに、Hスキャナ15やVスキャナ16に供給する。Vスキャナ16では走査線を1水平期間毎に順次選択し、Hスキャナ15では1水平期間に順次スイッチ素子17を選択し、スイッチ素子17を経て信号線に映像信号を取り込む。取り込まれた映像信号は後述するTFTによって液晶分子(図示省略)を制御し、液晶分子を印加電圧方向に振じられて倒立させることにより、表示エリア18に映像等を映出する。このように、点順次サンプリング方式の駆動回路においては、1つの映像信号に対して1本の信号線が最後のアナログスイッチ前までに存在していればよいため、回路規模は非常に小規模で済むことになる。

【0011】次に、図8を参照して従来技術の映像信号処理装置の第2例を説明する。図8は3ドット同時サンプリング方式の映像信号処理装置を示すブロック図である。なお、以下従来技術の第1例で記載した事項と共通する部分には同一の参照符号を付すとともに、周辺回路の説明は省略する。

【0012】3ドット同時サンプリング方式の映像信号処理装置は、液晶表示パネルの画素数が増加して映像信号処理装置に要求される周波数帯域が広がった場合に採用される方式であり、映像信号を駆動処理の前に予めサブサンプリング処理して分割しておき、低周波数信号の信号処理を並行して行うという方式である。現在、10～50万画素クラスの多結晶シリコンを用いた液晶表示パネルで多く採用されている。

【0013】図8を参照して従来技術の映像信号処理装置の第2例の構成を説明する。従来技術の映像信号処理装置の第2例は、R、G、B等のセパレート信号が入力される入力部5'、画質調整等の低電圧部の処理を行う3チャンネル分の低電圧処理回路2、液晶表示パネル用の信号変換を行う3チャンネル分の高電圧処理回路3、および液晶表示パネル4から大略構成される。

【0014】低電圧処理回路2は、新たに3チャンネル分のサブサンプリング19a、19b、19cを備え、輝度調整を行うブライトネス8a、8b、9c、コントラスト9a、9b、9c、ガンマ補正10a、10b、10c、反転アンプ11a、11b、11cおよび極性スイッチ12a、12b、12cで構成される。高電圧処理回路3は、それぞれ3チャンネル分のACアンプ13a、13b、13c、バッファ回路14a、14b、14c等で構成される。液晶表示パネル4は、従来技術の第1例と略同様にスイッチ素子17が接続されたHスキャナ15、Vスキャナ16、表示エリア18で構成される。

【0015】このような構成の従来技術の映像信号処理装置の第2例の特徴部分の動作を説明する。図8における入力部5'に入力された例えばR、G、B等のセパレート信号は3チャンネル構成の低電圧処理回路2に入力される。低電圧処理回路2のサブサンプリング19a、19b、19cでは、タイミングジェネレータの発するサンプリングパルスSP（図示省略）を基にサンプリング処理しつつR、G、B等の映像信号に分割し、次段のブライトネス8a、8b、8cに出力する。以下の動作は従来技術の第1例と同一であるため省略する。

【0016】引き続き、図9を参照して従来技術の映像信号処理装置の第3例を説明する。図9は12ドット同時サンプリング方式の映像信号処理装置を示すブロック図である。

【0017】12ドット同時サンプリング方式の映像信号処理装置は、従来技術の映像信号処理装置の第2例に比して更に画素数が増加した場合、映像信号処理装置に

要求される周波数帯域は益々広くなり、3ドット同時サンプリング方式程度の信号分割では所望の周波数特性を満足する映像信号処理装置を形成できない。そのため、信号の分割数を更に上げるにより、実際の要求周波数帯域を下げる12ドット同時サンプリング方式が採られる。

【0018】12ドット同時サンプリング方式の構成を説明するならば、R、G、B等のセパレート信号が入力される入力部5'、画質調整等の低電圧部の処理を行う12チャンネル分の低電圧処理回路2、信号変換を行う12チャンネル分の高電圧処理回路3、および液晶表示パネル4から大略構成される。低電圧処理回路2の細部構成は、それぞれ12チャンネル分のサブサンプリング19a～19l、ブライトネス8a～8l、コントラスト9a～9l、ガンマ補正10a～10l、反転アンプ11a～11l、および極性スイッチ12a～12l等で構成される。高電圧処理回路3の細部構成は、それぞれ12チャンネル分のACアンプ13a～13l、バッファ回路14a～14l等で構成される。液晶表示パネル4の構成は前述の従来例と同一である。

【0019】このような構成の従来技術の映像信号処理装置の第3例の特徴部分の動作を説明する。図9における入力部5'に入力された例えばR、G、B等のセパレート信号は12チャンネル構成の低電圧処理回路2に入力される。低電圧処理回路2のサブサンプリング19a～19lでは、タイミングジェネレータの発するサンプリングパルスSP（図示省略）を基にサンプリング処理しつつR、G、B等の映像信号を12分割して次段のブライトネス8a～8lに出力する。以下の動作は従来技術の第2例と同一であるため省略する。

【0020】上述のように信号の分割数が増加してくると、当然の如く映像信号処理装置の回路規模や配線数が増加することになる。例えば分割数が3チャンネルから12チャンネルに4倍増加すると、回路規模や配線数も4倍に増えることになる。また、チャンネル数の増加に伴って各チャンネルの特性（ゲインおよびガンマ補正值等）のばらつきによる縦スジ等の表示ムラが発生し易いという問題点がある。このことは、表示ムラを抑制するための調整箇所が増加するという問題に言い換えられ、調整に多くの時間を要するという問題点があった。

【0021】

【発明が解決しようとする課題】本発明の課題は、高解像度で高速駆動の液晶表示パネルを複数チャンネルに分割して駆動する映像信号処理装置において、分割数が増加することによる回路規模の増大や消費電力の増加という諸問題を解決して回路規模の縮小や消費電力の削減を図った映像信号処理装置を提供することである。

【0022】

【課題を解決するための手段】請求項1記載の映像信号処理装置は、液晶表示パネルに映像信号を書き込む際に

複数のチャンネルを同時にサンプリングして駆動する映像信号処理装置であって、処理装置を画質調整等を行う低電圧処理回路と、液晶表示パネルへの書き込み信号に変換する高電圧処理回路とに分割する。そして、低電圧処理回路で映像信号をサンプリング処理しながら少数分割し、更に、高電圧処理回路で再分割して処理回路の効率化を図るようにした。

【0023】請求項2記載の映像信号処理装置の具体例として、低電圧処理回路は2分割するとともに、それぞれ2チャンネル分からなるサンプルホールド回路、輝度調整を行うブライトネス調整回路、コントラスト調整を行うコントラスト調整回路、ガンマ補正の調整を行うガンマ補正回路、スイッチ回路とを備えた。高電圧処理回路は12分割するとともに、それぞれ12チャンネル分からなるサンプルホールド回路、増幅回路、バッファ回路とを備えた。そして、低電圧処理回路では分割数を少なくして回路規模を縮小し、該高電圧処理回路では分割数を多くして充分な駆動電圧を得られるようにした。

【0024】請求項3記載の映像信号処理装置は、液晶表示パネルに映像信号を書き込む際に複数のチャンネルを同時にサンプリングして駆動する映像信号処理装置であって、処理装置を画質調整等を行う低電圧処理回路、高電圧処理を行う高電圧処理回路、および前記液晶表示パネルへの書き込み信号に変換する高電圧サンプルホールド回路とに分割する。そして、低電圧処理回路で映像信号をサンプリング処理しながら少数分割し、高電圧処理回路でサンプリング処理したり、またはサンプリング処理を行わずに所定数に分割し、更に、高電圧サンプルホールド回路で再サンプリング処理しながら再分割して処理回路の効率化を図るようにした。

【0025】請求項4記載の映像信号処理装置の具体例として、低電圧処理回路は2分割するとともに、それぞれ2チャンネル分からなるサンプルホールド回路、輝度調整を行うブライトネス調整回路、コントラスト調整を行うコントラスト調整回路、ガンマ補正の調整を行うガンマ補正回路、スイッチ回路とを備えた。高電圧処理回路は6分割するとともに、それぞれ6チャンネル分からなるサンプルホールド回路、増幅回路、バッファ回路とを備えた。高電圧サンプルホールド回路は12分割するとともに、12チャンネル分からなるサンプルホールド回路を備えた。そして、低電圧処理回路では分割数を少なくして回路規模を縮小し、高電圧処理回路では分割数を中程度にして駆動周波数を上げ、高電圧サンプルホールド回路では分割数を多くして充分な駆動電圧を得られるようにした。

【0026】更に、請求項5記載の映像信号処理装置の具体例として、低電圧処理回路は2分割するとともに、それぞれ2チャンネル分からなるサンプルホールド回路、ブライトネス調整回路、コントラスト調整回路、ガンマ補正回路、スイッチ回路とを備えた。高電圧処理回

路は2分割するとともに、それぞれ2チャンネル分からなる増幅回路とバッファ回路を備えた。高電圧サンプルホールド回路は12分割するとともに、12チャンネル分からなるサンプルホールド回路を備えた。そして、低電圧処理回路および高電圧処理回路では分割数を少なくして回路規模を縮小し、高電圧サンプルホールド回路では分割数を多くして充分な駆動電圧を得られるようにした。

【0027】請求項1および2記載の映像信号処理装置の作用として、画質調整等を行う低電圧処理回路では分割数を少なくして駆動周波数を高くした。低電圧処理回路では分割数を少なくしたため回路規模が最小限に抑えられ、それとともに回路の調整箇所が少なくなり、調整が容易になる。高電圧処理回路では分割数を多くして駆動周波数を低くし、充分な駆動電圧を確保するようにした。そのため、液晶表示パネルの画素数が増えて点順次サンプリング方式を採用できなくなった映像信号処理装置においても、回路規模やそれに伴う調整箇所、および消費電力を最小限に抑えた映像信号処理装置を構築することができる。

【0028】請求項3ないし5記載の映像信号処理装置の作用として、処理装置を低電圧処理回路、高電圧処理回路、および高電圧サンプルホールド回路とに3分割する。そして、低電圧処理回路では分割数を少なくしたため回路規模が最小限に抑えられ調整が容易になる。高電圧処理回路では所定数に分割するようにしたため、設計の自由度が上がる。高電圧サンプルホールド回路では分割数を多くして駆動周波数を低くし、充分な駆動電圧を確保するようにした。そのため、更なる回路規模の縮小と消費電力の削減を図ることができる。

【0029】

【発明の実施の形態】本発明の具体的実施の形態例につき添付図面を参照して説明する。以下、従来技術で記載した事項と共通する部分には同一の参照符号を付し、それらの説明を一部省略する。また、構成要素は一部「TG」「AMP」「BUFF.」「SW」等で略記して示した。

【0030】第1の実施の形態

図1ないし図3を参照して本発明の映像信号処理装置の第1の実施の形態の詳細を説明する。まず、図1ないし図3を参照して第1の実施の形態の構成を説明する。図1は本発明の映像信号処理装置の第1の実施の形態を示すブロック図、図2はサブサンプリングの具体例および液晶表示パネルの細部構成を示すブロック図、図3は第1の実施の形態の動作を示すタイミングチャート図である。

【0031】図1において、符号20は本発明の映像信号処理装置を指す。本発明の映像信号処理装置20は、デコーダ、タイミングジェネレータ等の周辺回路1、画質調整等の低電圧処理回路2、液晶表示パネルへの信号

変換を行う高電圧処理回路 3、および液晶表示パネル 4 から大略構成される。本発明の特徴事項として、低電圧処理回路 2 や高電圧処理回路 3 における信号分割を 2 段階で行うように構成した。即ち、小信号回路である低電圧処理回路 2 は分割数を少なくし、次段の高電圧処理回路 3 の直前では最終的な信号線になるように再分割するように構成した。本例では低電圧処理回路 2 は 2 分割と分割数を少なくして周波数特性を上げ、高電圧処理回路 3 では 1 2 分割と分割数を多くして周波数特性を下げるように構成した。

【0032】周辺回路 1 の細部構成は、コンポジットビデオ信号等の映像信号が入力される入力端子 5、入力映像信号を R、G、B のセパレート信号等に変換するデコーダ 6、各種制御信号を発生するタイミングジェネレータ 7 等で構成される。低電圧処理回路 2 の細部構成は、それぞれ 2 分割されたサブサンプリング 19 a、19 b、輝度調整を行う調整手段を備えたブライトネス 8 a、8 b、コントラスト 9 a、9 b、ガンマ補正 10 a、10 b、反転アンプ 11 a、11 b、および極性スイッチ 12 a、12 b で構成される。高電圧処理回路 3 の細部構成は、それぞれ 1 2 分割されたサブサンプリング 21 a ~ 21 l、AC アンプ 22 a ~ 22 l、バッファ回路 23 a ~ 23 l 等で構成される。高電圧処理回路 3 で細分割された映像信号はカラーやモノクロでなる液晶表示パネル 4 に接続される。

【0033】液晶表示パネル 4 の細部構成は、ゲート回路およびサンプルホルダよりなる H スキャナ 15、イネーブルゲートおよびバッファからなる V スキャナ 16 が挿入され、H スキャナ 15 にはスイッチ素子 17 を介して後述する信号線が接続され、V スキャナ 16 には走査線（図示省略）が接続され、これらはマトリクス状に配列されている。信号線と走査線の交差部には後述する TFT が形成されて表示エリア 18 を構成している。

【0034】図 2 において、本実施の形態は所定の色信号を 2 分割する例であり、例えば赤色の映像信号が入力される入力部 5'、低電圧処理回路 2 におけるサブサンプリングの内部構成は、制御信号 S H A によって切り換えられるスイッチ A、制御信号 S H B によって切り換えられるスイッチ B で構成される。高電圧処理回路 3 は制御信号 S H 1 ~ S H 13 によって 1 2 チャンネル分の信号を切り換えるスイッチ 1 ~ スwitch 13 から構成され、各スイッチには蓄積容量や AC アンプ 22 a ~ 22 l が接続されて構成される。1 ~ 12 チャンネルに分割された映像信号は液晶表示パネル 4 の信号線 1 ~ 12 に接続されるとともに、スイッチ素子 17 を介して TFT 24 および画素 25 に接続される。

【0035】図 1 ないし図 3 を参照して本実施の形態の動作を説明する。図 1 の入力部端子 5 に入力されたコンポジットビデオ信号等の映像信号はデコーダ 6 に入力される。デコーダ 6 では映像信号を液晶表示パネルに適応

したセパレート信号に変換するとともに、例えば土に極性反転された赤色の映像信号を出力部 5' に出力する。更に、映像信号から同期信号 H、V S y n c を分離してタイミングジェネレータ 7 に出力する。タイミングジェネレータ 7 では液晶表示パネルの制御の用途に供するサンプリングパルス S P、スタートパルス H S T、V S T、クロックパルス H C K、V C K 等の制御信号を V C O や同期信号 H、V S y n c から生成して低電圧処理回路 2 や高電圧処理回路 3 および液晶表示パネル 4 に出力する。

【0036】低電圧処理回路 2 のサブサンプリング 19 a、19 b ではタイミングジェネレータ 7 から出力されるサンプリングパルス S P を基にサンプリング処理する。ブライトネス 8 a、8 b、コントラスト 9 a、9 b、ガンマ補正 10 a、10 b では、不図示の調整手段を調整することによりそれぞれ明るさ、コントラスト、ガンマ補正曲線の調整を行う。反転アンプ 11 a、11 b では、反転映像信号を増幅し、極性スイッチ 12 a、12 b で所望の極性の映像信号を選択して出力する。

【0037】高電圧処理回路 3 におけるサブサンプリング 21 a ~ 21 l では、入力された所定の極性の映像信号をサンプリングパルス S P を基に再サンプリング処理する。AC アンプ 22 a ~ 22 l では、サブサンプリングされた映像信号を所定映像レベルまで増幅する。バッファ回路 23 a ~ 23 l では、液晶表示パネル 4 の負荷を駆動するための電流増幅等の処理がなされる。

【0038】液晶表示パネル 4 は、前述の映像信号処理装置から入力された各画素に対応する 1 2 チャンネルの映像信号や、H S T、H C K、V S T、V C K 等の制御信号を受取るとともに、H スキャナ 15 や V スキャナ 16 に供給する。V スキャナ 16 では走査線を 1 水平期間毎に順次選択し、H スキャナ 15 では 1 水平期間に順次スイッチ素子 17 を選択し、スイッチ素子 17 を経て信号線に映像信号を取り込む。取り込まれた映像信号は TFT によって各画素の映像レベルに応じて液晶分子（図示省略）を制御し、液晶分子を印加電圧方向に振じられて倒立させて表示エリア 18 に映像等を映出する。

【0039】図 2 および図 3 を参照して第 1 の実施の形態の動作の詳細を説明する。図 2 の低電圧処理回路 2 において、入力部 5' に入力された例えば赤色の映像信号はスイッチ A、B に並行して入力される。スイッチ A、B では制御信号 S H A、S H B を基に映像信号を切り換え、A 出力、B 出力に所定の極性の映像信号を出力する。

【0040】図 3 の説明に移り、入力された映像信号（映像データ）1 ~ 24 は、ドットクロック（システムクロック）を基準とする制御信号 S H A、S H B によって映像信号を切り換え、A 出力、B 出力に図示の如き例えば + 映像信号 1 ~ 23、- 映像信号 2 ~ 24 を切り換

えて出力する。A 出力、B 出力に出力された土に極性反転された映像信号は図 2 の高電圧処理回路 3 に出力される。高電圧処理回路 3 のスイッチ 1 ~ 13 は、図 3 の制御信号 SH1 ~ SH13 によってコントロールされる。制御信号 SH1 ~ SH13 は図 3 のような 1 信号線に対応するシフトクロックであり、制御信号 SH1 ~ SH13 によってコントロールされた映像信号は、図 2 における高電圧処理回路 3 の AC アンプ 22a ~ 221 等を経て液晶表示パネル 4 に出力される。図 2 の液晶表示パネル 4 の信号線 1 ~ 12 には、高電圧処理回路 3 によって処理された映像信号が入力されるとともに、スイッチ素子 17 を経て TFT 24 および画素 25 に入力される。

【0041】本実施の形態によれば、ブライトネス等の低電圧処理回路 2 は小信号回路であるため分割数は少なくても良い。この低電圧処理回路 2 の処理を DSP で行うとすれば、システムクロックを 50MHz 程度に抑制して十分に処理することができる。次段の高電圧処理回路 3 では細かく再分割して駆動周波数特性を下げるようにした。これにより、高電圧処理回路 3 に十分な高電圧を確保することができるようになる。

【0042】第 2 の実施の形態

本実施の形態は、第 1 の実施の形態における 2 分割に代えて、3 分割構成とした例であり、これを図 4 を参照して説明する。以下、周辺回路は省略する。

【0043】先ず、図 4 を参照して第 2 の実施の形態の構成を説明する。図 4 は本発明の映像信号処理装置の第 2 の実施の形態を示すブロック図である。

【0044】図 4 における符号 30 は本発明の映像信号処理装置を指す。本発明の映像信号処理装置 30 は、所定の色信号例えば赤色の土に極性反転された映像信号が入力される入力部 5'、低電圧処理回路 2、液晶表示パネルへの信号変換を行う高電圧処理回路 3、および液晶表示パネル 4 から大略構成される。本発明の特徴事項として、低電圧処理回路 2 や高電圧処理回路 3 に加えて高電圧サンプルホールド回路 31 を新たに設け、信号分割を 3 段階で行うように構成した。本例では低電圧処理回路 2 は 2 分割とし、高電圧処理回路 3 では 6 分割とし、高電圧サンプルホールド回路 31 では 12 分割と分割数を多くして周波数特性を下げるように構成した。

【0045】低電圧処理回路 2 の細部構成は、それぞれ 2 分割されたサブサンプリング 19a、19b、ブライトネス 8a、8b、コントラスト 9a、9b、ガンマ補正 10a、10b、反転アンプ 11a、11b、および極性スイッチ 12a、12b で構成される。高電圧処理回路 3 の細部構成は、それぞれ 6 分割されたサブサンプリング 32a ~ 32f、AC アンプ 33a ~ 33f、バッファ回路 34a ~ 34f 等で構成される。6 分割に細分割された映像信号は高電圧サンプルホールド回路 31 に接続される。高電圧サンプルホールド回路 31 の細部構成は、液晶表示パネル 4 の各信号線に接続される高電

圧サンプルホールド回路 31 用のサブサンプリング 31a ~ 311 によって構成される。高電圧サンプルホールド回路 31 によって 12 分割に細分割された映像信号は液晶表示パネル 4 に接続される。液晶表示パネル 4 は第 1 の実施の形態と同様に構成される。

【0046】このように構成された本実施の形態の特徴部分の動作を説明する。図 4 の入力部 5' に入力された例えば土に極性反転された映像信号は低電圧処理回路 2 に入力される。低電圧処理回路 2 のサブサンプリング 19a ~ 19b では、サンプリングパルス SP (図示省略) を基にサンプリング処理する。ブライトネス 8a、8b、コントラスト 9a、9b、ガンマ補正 10a、10b では、不図示の調整手段を調整することによりそれぞれ明るさ、コントラスト比、ガンマ補正曲線の調整を行う。反転アンプ 11a、11b では映像信号を増幅し、極性スイッチ 12a、12b では所望の極性の映像信号を選択して高電圧処理回路 3 に出力する。

【0047】高電圧処理回路 3 のサブサンプリング 32a ~ 32f では、入力された所定の極性の映像信号をサンプリングパルス SP を基に再サンプリング処理する。AC アンプ 33a ~ 33f では、サブサンプリングされた映像信号を所定映像レベルまで増幅する。バッファ回路 34a ~ 34f では、次段の負荷を駆動するための電流増幅等の処理をなして高電圧サンプルホールド回路 31 に出力する。高電圧サンプルホールド回路 31 では、同じくサンプリングパルス SP を基に例えば 12 チャンネルに分割するとともに、サブサンプリング 31a ~ 311 によってサンプリング処理して液晶表示パネル 4 に出力する。液晶表示パネル 4 では常法に準じて映像等の表示を行う。

【0048】本実施の形態では映像信号の分割を 3 段階とし、低電圧処理回路では同様の 2 分割とし、高電圧処理回路の直前で 6 分割程度の小規模な再分割を行い、再び液晶表示パネルの信号線に通ずる高電圧サンプルホールド回路 (アナログスイッチ) の直前で最終的な再々分割を行うようにした。このように、段階的に信号分割を行うことにより、回路規模を最小限に抑え、調整も最小限に抑えた映像信号処理装置を構築できる。

【0049】第 3 の実施の形態

本実施の形態は、第 2 の実施の形態における 3 分割の変形として高電圧処理回路では細分割を行わず、液晶表示パネルの直前の高電圧サンプルホールド回路で細分割を行うようにした例であり、これを図 5 ないし図 6 を参照して説明する。

【0050】図 5 および図 6 を参照して第 3 の実施の形態の構成を説明する。図 5 は本発明の映像信号処理装置の第 3 の実施の形態を示すブロック図、図 6 はサブサンプリングの具体例および液晶表示パネルの細部構成を示すブロック図である。

【0051】図 5 における本実施の形態の映像信号処理

装置は、入力部 5'、2 分割された低電圧処理回路 2、同じく 2 分割された高電圧処理回路 3、高電圧サンプルホールド回路 4 1、および液晶表示パネル 4 から大略構成される。本例では低電圧処理回路 2 および高電圧処理回路 3 では 2 分割と分割数を少なくして周波数特性を上げ、液晶表示パネル 4 の直前の高電圧サンプルホールド回路 4 1 において 1 2 分割と分割数を多くして周波数特性を下げ、充分な高電圧を確保するようした。

【0052】低電圧処理回路 2 の構成は、2 分割されたサブサンプリング 1 9 a、1 9 b、調整手段を備えたブライツネス 8 a、8 b、コントラスト 9 a、9 b、ガンマ補正 1 0 a、1 0 b、反転アンプ 1 1 a、1 1 b、および極性スイッチ 1 2 a、1 2 b で構成される。高電圧処理回路 3 の構成は、同じく 2 分割された AC アンプ 4 2 a、4 2 b、バッファ回路 4 3 a、4 3 b 等で構成される。高電圧サンプルホールド回路 4 1 は 1 2 分割されたサブサンプリング 4 1 a ~ 4 1 l で構成され、その出力は液晶表示パネル 4 の信号線に接続される。液晶表示パネル 4 は前述の如く構成される。

【0053】図 6 の細部構成において、例えば赤色の映像信号が入力される入力部 5'、低電圧処理回路 2 の細部は、制御信号 S H A、S H B によって切り換えられるスイッチ A、B で構成される。低電圧処理回路 2 の出力は A 出力、B 出力を経て高電圧処理回路 3 に接続される。高電圧処理回路 3 の出力は高電圧サンプルホールド回路 4 1 に接続される。高電圧サンプルホールド回路 4 1 は制御信号 S H 1 ~ S H 1 3 によって 1 2 チャンネル分の信号切り換えを行うスイッチ 1 ~ スwitch 1 3 から構成される。各スイッチには蓄積容量が接続される。各スイッチによって 1 2 分割された映像信号は液晶表示パネル 4 の信号線 1 ~ 1 2 に接続されるとともに、スイッチ素子 1 7 を介して T F T 2 4 および画素 2 5 に接続されて構成される。

【0054】図 5 を参照して本実施の形態の動作を説明する。図 5 において、入力部 5' に入力された映像信号は低電圧処理回路 2 に入力される。低電圧処理回路 2 のサブサンプリング 1 9 a、1 9 b ではタイミングジェネレータから出力されるサンプリングパルス S P (図示省略) を基にサンプリング処理する。ブライツネス 8 a、8 b、コントラスト 9 a、9 b、ガンマ補正 1 0 a、1 0 b ではそれぞれ調整手段を調整することにより明るさ、コントラスト比、ガンマ補正曲線の調整を行う。反転アンプ 1 1 a、1 1 b では映像信号を増幅し、極性スイッチ 1 2 a、1 2 b で所望の極性の映像信号を選択して出力する。

【0055】高電圧処理回路 3 の AC アンプ 4 2 a、4 2 b ではサブサンプリングされたドット反転用の映像信号を所定映像レベルまで増幅する。バッファ回路 4 3 a、4 3 b では次段回路の負荷を駆動するための電流増幅等の処理がなされる。高電圧サンプルホールド回路 4

1 のサブサンプリング 4 1 a ~ 4 1 l では、入力された所定の極性の映像信号をサンプリングパルス S P (図示省略) を基に再度サンプリング処理して液晶表示パネル 4 の信号線に出力する。液晶表示パネル 4 では常法に準じて映像等を映出する。

【0056】引き続き、図 6 を参照して本実施の形態の詳細な動作を説明する。図 6 の低電圧処理回路 2 において、入力された土に極性反転された映像信号は制御信号 S H A、S H B を基にスイッチ A やスイッチ B によって交互に切り換えられ、A 出力、B 出力に所定の極性の映像信号を出力する。高電圧処理回路 3 では増幅やバッファリング処理を行う。高電圧サンプルホールド回路 4 1 では、第 1 の実施の形態で示したタイミングチャート図と同様の動作により、映像信号の切り換え動作を行う。即ち、高電圧サンプルホールド回路 4 1 に入力された極性反転された映像信号はスイッチ 1 ~ 1 3 によって、制御信号 S H 1 ~ S H 1 3 を基に切り換えられて 1 2 分割された映出信号として液晶表示パネル 4 の信号線 1 ~ 1 2 に出力される。なお、本実施の形態の動作を示すタイミングチャート図は第 1 の実施の形態と同様であるとともに、以降の動作は重複するためその説明を省略する。このように本実施の形態では、信号分割を低電圧処理回路 2 および高電圧処理回路 3 では少なくし、高電圧サンプルホールド回路 4 1 の直前で最終的な信号線になるように細かく再分割するようにした。そのため、更なる回路規模の縮小と配線数を削減できるとともに、充分な高電圧を確保した映像信号処理装置を実現できる。

【0057】本発明は前述の実施の形態に限定されず、種々の実施の形態を採ることができる。例えば本実施の形態例では 3 ~ 1 2 に分割する方式について例示したが、それ以上の分割数に分割することも可能であり、本発明は分割数に限定されない。また、本実施の形態では H スキャナ、V スキャナの駆動回路を内挿した場合について説明したが、駆動回路を外挿する場合にも応用可能である。更に、本発明の主旨を逸脱しない範囲で適宜応用が可能であることは言うまでもない。

【0058】

【発明の効果】以上説明したように本発明の映像信号処理装置によれば、複数ドット同時サンプリング方式で駆動する映像信号処理装置において、映像信号の処理回路を特性に合わせて適正に分割して処理するようにしたため、液晶表示パネルの画素数が増加して点順次サンプリング方式を採用できなくなった映像信号処理装置においても、回路規模やそれに伴う調整箇所、および消費電力を必要最小限に抑えた映像信号処理装置を構築することが可能となる。

【図面の簡単な説明】

【図 1】 本発明の映像信号処理装置の第 1 の実施の形態を示すブロック図である。

【図 2】 第 1 の実施の形態におけるサブサンプリング

15

の具体例および液晶表示パネルの細部構成を示すブロック図である。

【図 3】 本発明の映像信号処理装置の第 1 の実施の形態の動作を示すタイミングチャート図である。

【図 4】 本発明の映像信号処理装置の第 2 の実施の形態を示すブロック図である。

【図 5】 本発明の映像信号処理装置の第 3 の実施の形態を示すブロック図である。

【図 6】 第 3 の実施の形態におけるサブサンプリングの具体例および液晶表示パネルの細部構成を示すブロック図である。

【図 7】 点順次サンプリング方式の映像信号処理装置を示すブロック図である。

【図 8】 3 ドット同時サンプリング方式の映像信号処理装置を示すブロック図である。

【図 9】 12 ドット同時サンプリング方式の映像信号処理装置を示すブロック図である。

【符号の説明】

20、30、40 本発明の映像信号処理装置

2 低電圧処理回路

16

3 高電圧処理回路

4 液晶表示パネル

5 入力端子

6 デコーダ

7 タイミングジェネレータ

8 ブライトネス

9 コントラスト

10 ガンマ補正

11 反転アンプ

12 極性スイッチ

13 AC アンプ

14 バッファ回路

15 H スキャナ

16 V スキャナ

17 スイッチ素子

18 表示エリア

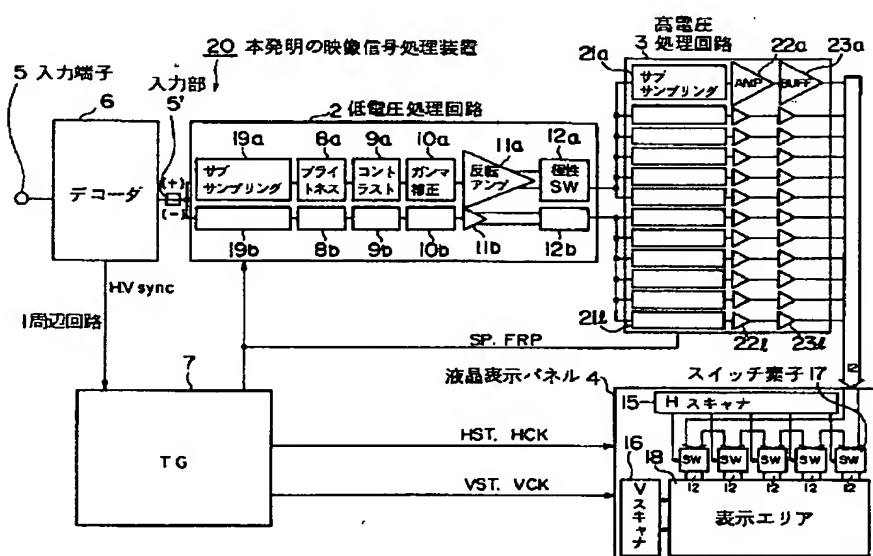
24 TFT

25 画素

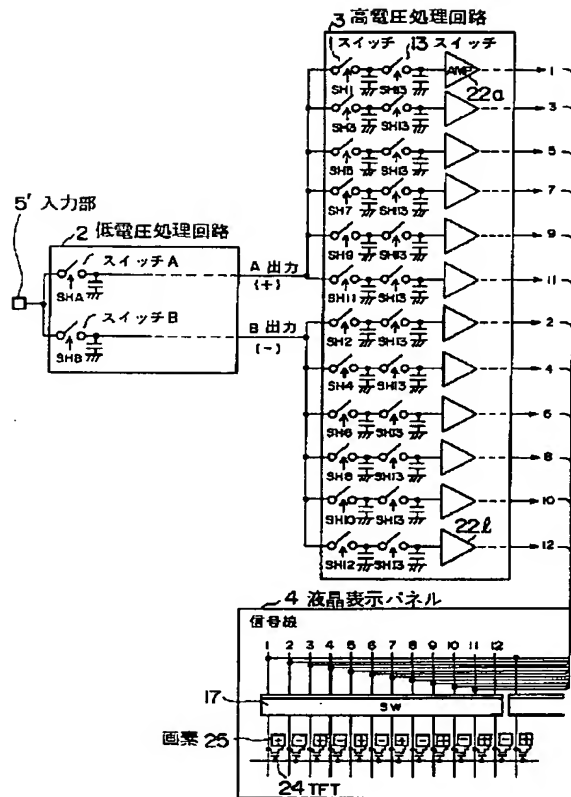
31、41 高電圧サンプルホールド回路

20

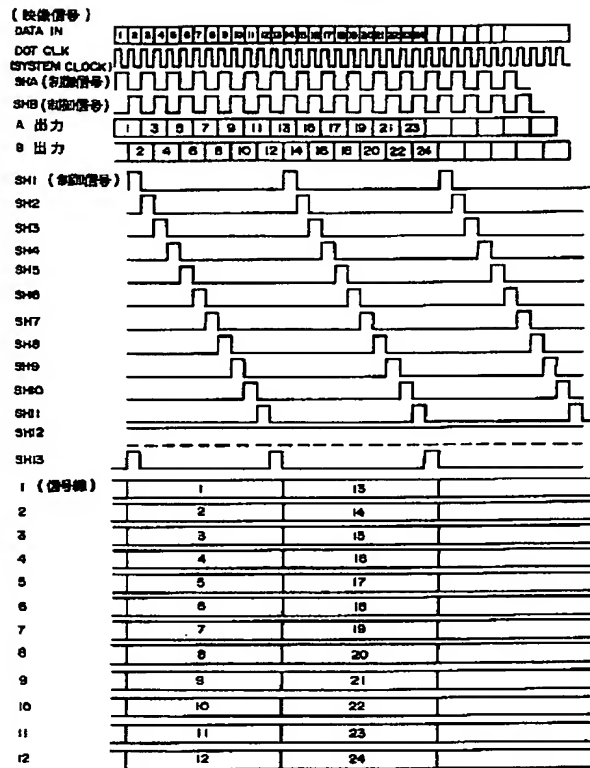
【図 1】



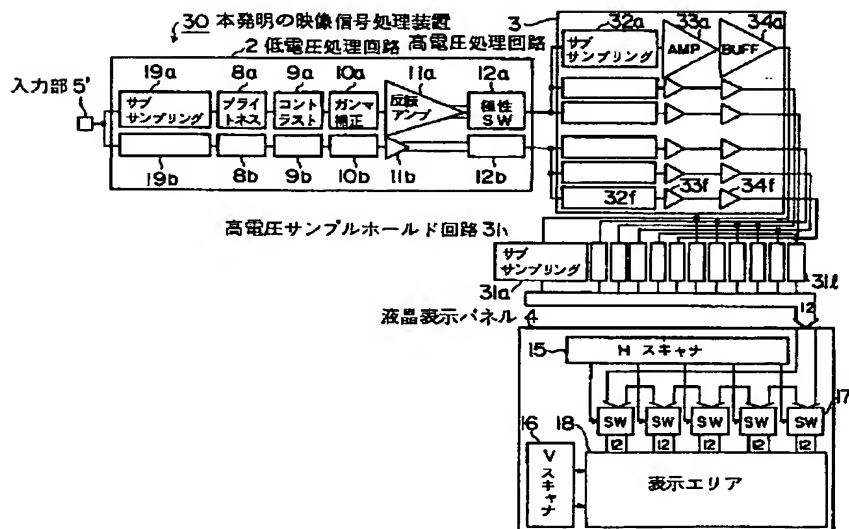
【図2】



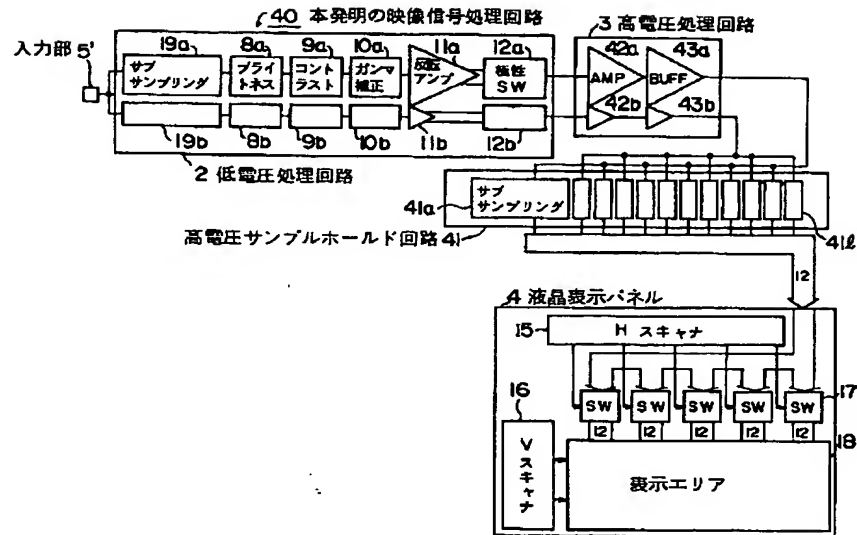
【図3】



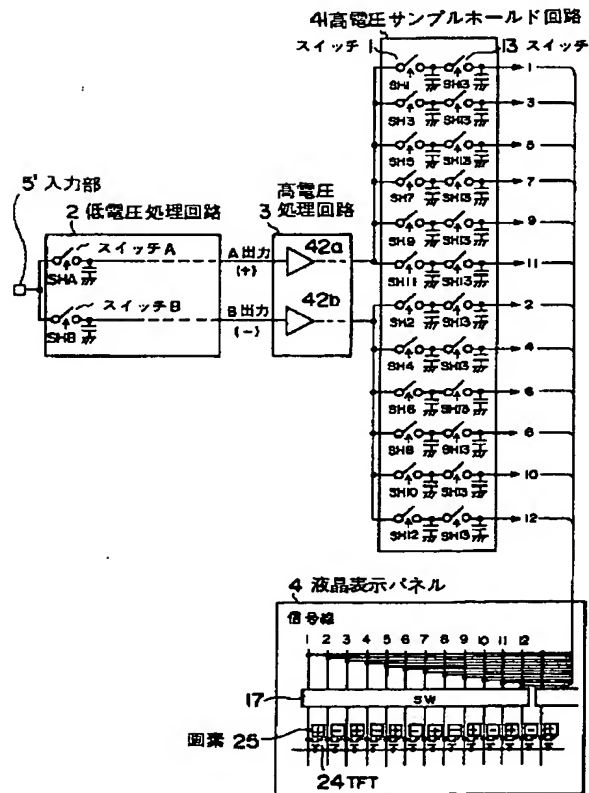
【図4】



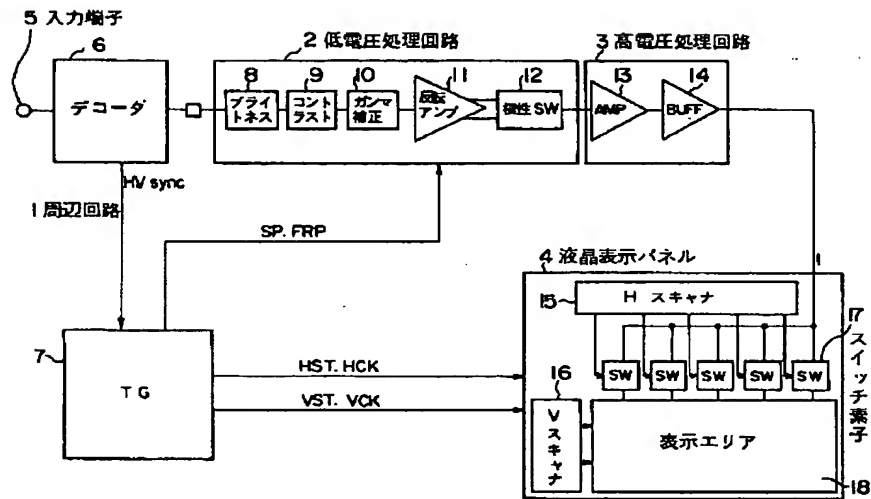
【図5】



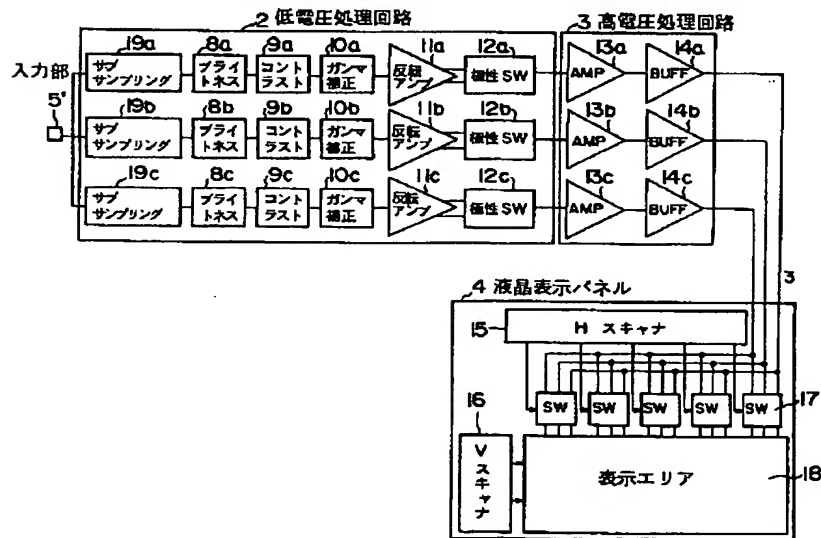
【図6】



【図7】



【図8】



【図 9】

